

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) $+5V$ 単一電源、12ビットDAS、8+4バスインタフェース付

概要

MAX197は、僅か+5Vの単一電源で動作し、グランド以下から電源電圧を超える範囲までのアナログ入力信号を受け付けるマルチレンジ12ビットDAS(データ収集システム)です。このシステムは、 $\pm 10V$ 、 $\pm 5V$ 、 $0V \sim +10V$ 、又は $0V \sim +5V$ のそれぞれの範囲に対して、ソフトウェアで個別にプログラムできる8個のアナログ入力チャンネルを提供しています。これによって、有効ダイナミックレンジが14ビットに拡大し、 $4mA \sim 20mA$ 、 $\pm 12V$ 、及び $\pm 15V$ 駆動のセンサから+5V単一電源システムへのインタフェースが可能になり、柔軟性が得られます。さらに、このコンバータは $\pm 16.5V$ の過電圧裕度を備えているため、チャンネルに障害が起きても、選択されたチャンネルの変換結果に影響を与えることはありません。その他の機能としては、帯域幅5MHzのトラック/ホールド、100kspsのスループット、ソフトウェアによって選択可能な内部クロック又は外部クロック及びアキュイジション、8+4パラレルインタフェース、4.096Vの内部リファレンス又は外部リファレンスがあります。

変換処理を行っていない時には、低電流シャットダウン機能が働くように、ハードウェアピンSHDN及び2つのプログラマブルパワーダウンモード(STBYPD、FULLPD)が提供されています。STBYPDモードでは、リファレンスバッファがアクティブ状態を維持しているため、スタートアップ遅延はありません。

MAX197は、標準的なマイクロプロセッサ(μP)インタフェースを採用しています。スリーステートデータI/Oポートは8ビットデータバスで動作するように構成されており、データアクセス及びバスリリースタイミング仕様は、殆どの μP とコンパチブルです。ロジック入力及びロジック出力は、全てTTL/CMOSコンパチブルです。

MAX197は、28ピンDIP、ワイドSOP、SSOP、及びセラミックSBパッケージで提供されています。

異なる範囲の組み合わせ($\pm 4V$ 、 $\pm 2V$ 、 $0V \sim 4V$ 、 $0V \sim 2V$)については、MAX199のデータシートをご覧ください。また、12ビットバスインタフェースに関しては、MAX196及びMAX198のデータシートをご覧ください。

アプリケーション

- 工業制御システム
- ロボット
- データ収集システム
- 自動テストシステム
- 医療機器
- テレコミュニケーション

特長

- ◆ 12ビット分解能、1/2LSBリニアリティ
- ◆ +5V単一電源動作
- ◆ ソフトウェア選択による入力電圧範囲：
 $\pm 10V$ 、 $\pm 5V$ 、 $0V \sim 10V$ 、 $0V \sim 5V$
- ◆ 耐障害入力マルチプレクサ($\pm 16.5V$)
- ◆ アナログ入力チャンネル：8個
- ◆ 変換時間：6 μs 、サンプリングレート：100ksps
- ◆ 内部収集制御又は外部収集制御
- ◆ 4.096Vの内部リファレンス又は外部リファレンス
- ◆ 2つのパワーダウンモード
- ◆ 内部クロック又は外部クロック

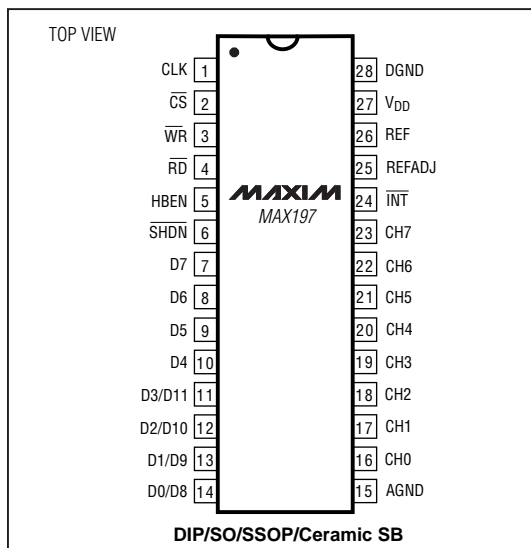
型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX197ACNI	0°C to +70°C	28 Narrow Plastic DIP
MAX197BCNI	0°C to +70°C	28 Narrow Plastic DIP
MAX197ACWI	0°C to +70°C	28 Wide SO
MAX197BCWI	0°C to +70°C	28 Wide SO
MAX197ACAI	0°C to +70°C	28 SSOP
MAX197BCAI	0°C to +70°C	28 SSOP
MAX197BC/D	0°C to +70°C	Dice*

Ordering Information continued at end of data sheet.

*Dice are specified at $T_A = +25^\circ C$, DC parameters only.

ピン配置



機能図はデータシートの終わりにあります。

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND.....	-0.3V to +7V
AGND to DGND.....	-0.3V to +0.3V
REF to AGND.....	-0.3V to (V _{DD} + 0.3V)
REFADJ to AGND.....	-0.3V to (V _{DD} + 0.3V)
Digital Inputs to DGND.....	-0.3V to (V _{DD} + 0.3V)
Digital Outputs to DGND.....	-0.3V to (V _{DD} + 0.3V)
CH0-CH7 to AGND.....	$\pm 16.5V$
Continuous Power Dissipation (T _A = +70°C)	
Narrow Plastic DIP (derate 14.29mW/°C above +70°C)....	1143mW
Wide SO (derate 12.50mW/°C above +70°C).....	1000mW
SSOP (derate 9.52mW/°C above +70°C).....	762mW
Narrow Ceramic SB (derate 20.00mW/°C above +70°C).....	1600mW

Operating Temperature Ranges

MAX197_C_.....	0°C to +70°C
MAX197_E_.....	-40°C to +85°C
MAX197_M_.....	-55°C to +125°C
Storage Temperature Range.....	-65°C to +150°C
Lead Temperature (soldering, 10sec).....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 5V $\pm 5\%$; unipolar/bipolar range; external reference mode, V_{REF} = 4.096V; 4.7 μ F at REF pin; external clock, f_{CLK} = 2.0MHz with 50% duty cycle; T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY (Note 1)						
Resolution			12			Bits
Integral Nonlinearity	INL	MAX197A			$\pm 1/2$	LSB
		MAX197B			± 1	
Differential Nonlinearity	DNL				± 1	LSB
Offset Error	Unipolar	MAX197A			± 3	LSB
		MAX197B			± 5	
	Bipolar	MAX197A			± 5	
		MAX197B			± 10	
Channel-to-Channel Offset Error Matching	Unipolar			± 0.1	LSB	
	Bipolar			± 0.5		
Gain Error (Note 2)	Unipolar	MAX197A			± 7	LSB
		MAX197B			± 10	
	Bipolar	MAX197A			± 7	
		MAX197B			± 10	
Gain Temperature Coefficient (Note 2)	Unipolar			3	ppm/°C	
	Bipolar			5		
DYNAMIC SPECIFICATIONS (10kHz sine-wave input, $\pm 10V$ p-p, f _{SAMPLE} = 100ksps)						
Signal-to-Noise + Distortion Ratio	SINAD	MAX197A	70			dB
		MAX197B	69			
Total Harmonic Distortion	THD	Up to the 5th harmonic		-85	-78	dB
Spurious-Free Dynamic Range	SFDR		80			dB
Channel-to-Channel Crosstalk		50kHz, V _{IN} = $\pm 5V$ (Note 3)		-86		dB
Aperture Delay		External CLK mode/external acquisition control		15		ns
Aperture Jitter		External CLK mode/external acquisition control		<50		ps
		Internal CLK mode/internal acquisition control (Note 4)		10		ns

マルチレンジ(±10V、±5V、+10V、+5V) +5V単一電源、12ビットDAS、8+4バスインタフェース付

MAX197

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 5V ±5%; unipolar/bipolar range; external reference mode, V_{REF} = 4.096V; 4.7μF at REF pin; external clock, f_{CLK} = 2.0MHz with 50% duty cycle; T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT						
Track/Hold Acquisition Time		f _{CLK} = 2.0MHz			3	μs
Small-Signal Bandwidth		-3dB rolloff	±10V range	5		MHz
			±5V range	2.5		
			0V to 10V range	2.5		
			0V to 5V range	1.25		
Input Voltage Range (See Table 1)		Unipolar		0	10	V
				0	5	
		Bipolar		-10	10	
				-5	5	
Input Current		Unipolar	0V to 10V range		720	μA
			0V to 5V range		360	
		Bipolar	-10V to 10V range	-1200	720	
			-5V to 5V range	-600	360	
Input Dynamic Resistance		Unipolar		21		kΩ
		Bipolar		16		
Input Capacitance		(Note 5)			40	pF
INTERNAL REFERENCE						
REF Output Voltage	V _{REF}	T _A = +25°C	4.076	4.096	4.116	V
REF Output Tempco	TC V _{REF}			40		ppm/°C
Output Short-Circuit Current					30	mA
Load Regulation		0mA to 0.5mA output current (Note 6)			7.5	mV
Capacitive Bypass at REF			4.7			μF
REFADJ Output Voltage			2.465	2.500	2.535	V
REFADJ Adjustment Range		With recommended circuit (Figure 1)		±1.5		%
Buffer Voltage Gain				1.6384		V/V
REFERENCE INPUT (Buffer disabled, reference input applied to REF pin)						
Input Voltage Range			2.4		4.18	V
Input Current		V _{REF} = 4.18V	Normal or STANDBY power-down mode		400	μA
			FULL power-down mode		1	
Input Resistance		Normal or STANDBY power-down mode	10			kΩ
		FULL power-down mode	5			MΩ
REFADJ Threshold for Buffer Disable			V _{DD} - 50mV			V

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 5V \pm 5\%$; unipolar/bipolar range; external reference mode, $V_{REF} = 4.096V$; $4.7\mu F$ at REF pin; external clock, $f_{CLK} = 2.0MHz$ with 50% duty cycle; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Supply Voltage	V_{DD}		4.75		5.25	V
Supply Current	I_{DD}	Normal mode, bipolar ranges			18	mA
		Normal mode, unipolar ranges		6	10	
		Standby power-down (STBYPD)		700	850	μA
		Full power-down mode (FULLPD) (Note 7)			120	
Power-Supply Rejection Ratio (Note 8)	PSRR	External reference = 4.096V			$\pm 1/2$	LSB
		Internal reference			$\pm 1/2$	
TIMING						
Internal Clock Frequency	f_{CLK}	$C_{CLK} = 100pF$	1.25	1.56	2.00	MHz
External Clock Frequency Range	f_{CLK}		0.1		2.0	MHz
Acquisition Time	t_{ACQI}	Internal acquisition	External CLK		3.0	μs
			Internal CLK		3.0	
	t_{ACQE}	External acquisition (Note 9)			3.0	
		After FULLPD or STBYPD			5	
Conversion Time	t_{CONV}	External CLK		6.0		μs
		Internal CLK, $C_{CLK} = 100pF$		6.0	7.7	
Throughput Rate		External CLK			100	ksp/s
		Internal CLK, $C_{CLK} = 100pF$		62		
Bandgap Reference Start-Up Time		Power-up (Note 10)		200		μs
Reference Buffer Settling		To 0.1mV REF bypass capacitor fully discharged	$C_{REF} = 4.7\mu F$		8	ms
			$C_{REF} = 33\mu F$		60	
DIGITAL INPUTS (D7–D0, CLK, \overline{RD} , \overline{WR} , \overline{CS} , HBEN, \overline{SHDN}) (Note 11)						
Input High Voltage	V_{INH}		2.4			V
Input Low Voltage	V_{INL}				0.8	V
Input Leakage Current	I_{IN}	$V_{IN} = 0V$ or V_{DD}			± 10	μA
Input Capacitance	C_{IN}	(Note 5)			15	pF
DIGITAL OUTPUTS (D7–D4, D3/D11, D2/D10, D1/D9, D0/D8, \overline{INT})						
Output Low Voltage	V_{OL}	$V_{DD} = 4.75V$, $I_{SINK} = 1.6mA$			0.4	V
Output High Voltage	V_{OH}	$V_{DD} = 4.75V$, $I_{SOURCE} = 1mA$	$V_{DD} - 1$			V
Three-State Output Capacitance	C_{OUT}	(Note 5)			15	pF

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

TIMING CHARACTERISTICS

($V_{DD} = 5V \pm 5\%$; unipolar/bipolar range; external reference mode, $V_{REF} = 4.096V$; $4.7\mu F$ at REF pin; external clock, $f_{CLK} = 2.0MHz$ with 50% duty cycle; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{CS} Pulse Width	t_{CS}		80			ns
\overline{WR} Pulse Width	t_{WR}		80			ns
\overline{CS} to \overline{WR} Setup Time	t_{CSWS}		0			ns
\overline{CS} to \overline{WR} Hold Time	t_{CSWH}		0			ns
\overline{CS} to \overline{RD} Setup Time	t_{CSRS}		0			ns
\overline{CS} to \overline{RD} Hold Time	t_{CSRH}		0			ns
CLK to \overline{WR} Setup Time	t_{CWS}				100	ns
CLK to \overline{WR} Hold Time	t_{CWH}				50	ns
Data Valid to \overline{WR} Setup	t_{DS}		60			ns
Data Valid to \overline{WR} Hold	t_{DH}		0			ns
\overline{RD} Low to Output Data Valid	t_{DO}	Figure 2, $C_L = 100pF$ (Note 12)			120	ns
HBEN High or HBEN Low to Output Valid	t_{DO1}	Figure 2, $C_L = 100pF$ (Note 12)			120	ns
\overline{RD} High to Output Disable	t_{TR}	(Note 13)			70	ns
\overline{RD} Low to \overline{INT} High Delay	t_{INT1}				120	ns

Note 1: Accuracy specifications tested at $V_{DD} = 5.0V$. Performance at power-supply tolerance limits guaranteed by Power-Supply Rejection test. Tested for the $\pm 10V$ input range.

Note 2: External reference: $V_{REF} = 4.096V$, offset error nulled, ideal last code transition = $FS - 3/2LSB$.

Note 3: Ground "on" channel; sine wave applied to all "off" channels.

Note 4: Maximum full-power input frequency for 1LSB error with 10ns jitter = 3kHz.

Note 5: Guaranteed by design. Not tested.

Note 6: Use static loads only.

Note 7: Tested using internal reference.

Note 8: PSRR measured at full-scale.

Note 9: External acquisition timing: starts at data valid at $ACQMOD =$ low control byte; ends at rising edge of \overline{WR} with $ACQMOD =$ high control byte.

Note 10: Not subject to production testing. Provided for design guidance only.

Note 11: All input control signals specified with $t_R = t_F = 5ns$ from a voltage level of 0.8V to 2.4V.

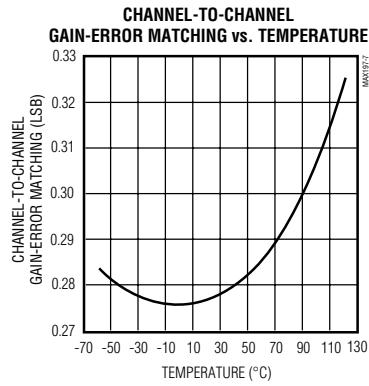
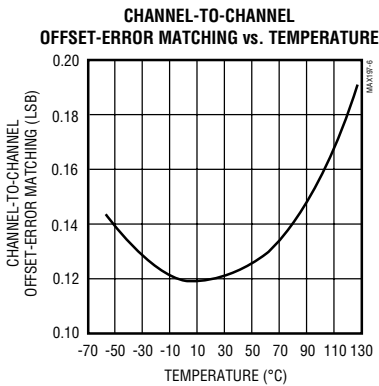
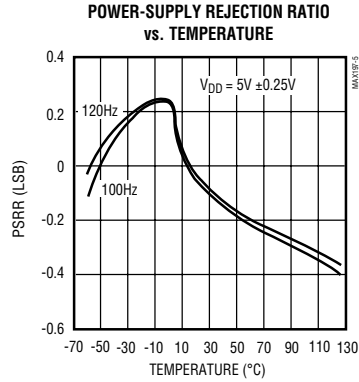
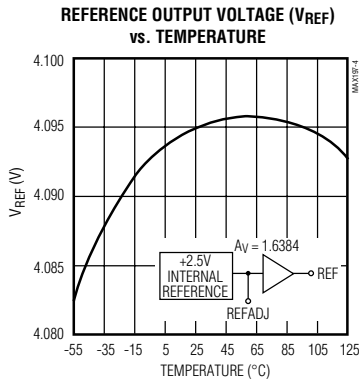
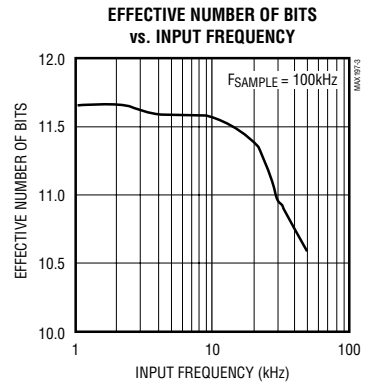
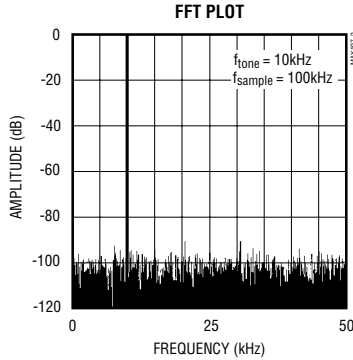
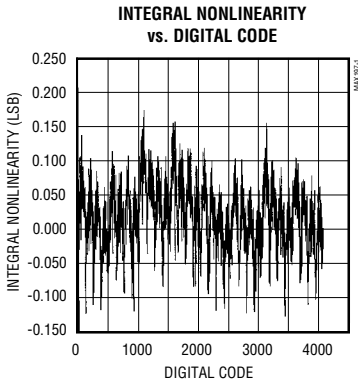
Note 12: t_{DO} and t_{DO1} are measured with the load circuits of Figure 2 and defined as the time required for an output to cross 0.8V or 2.4V.

Note 13: t_{TR} is defined as the time required for the data lines to change by 0.5V.

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

標準動作特性

($T_A = +25^\circ C$, unless otherwise noted.)



マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

端子説明

端子	名称	機能
1	CLK	クロック入力。外部クロックモードでは、TTL/CMOSコンパチブルなクロックでCLKを駆動して下さい。内部クロックモードでは、内部クロック周波数を設定するために、このピンからグランドにコンデンサを接続して下さい。C _{CLK} = 100pFの時、f _{CLK} = 1.56MHz (typ)。
2	\overline{CS}	チップセレクト、アクティブロー。
3	\overline{WR}	内部収集モードでは、 \overline{CS} がローの時、 \overline{WR} の立上がりエッジで構成データがラッチされ、収集及び変換サイクルがスタートします。外部収集モードでは、 \overline{CS} がローの時、 \overline{WR} の最初の立上がりエッジで収集が開始され、2番目の立上がりエッジで収集が完了し、変換サイクルがスタートします。
4	\overline{RD}	\overline{CS} がローの時、 \overline{RD} の立下がりエッジでデータバスの読取り動作がイネーブルされます。
5	HBEN	12ビット変換結果の多重化に使用します。ハイの時は4個のMSBがデータバスに多重化され、ローの時は8個のLSBがバス上で使用可能になります。
6	\overline{SHDN}	シャットダウン。ローの時デバイス是完全パワーダウン(FULLPD)モードに入ります。
7-10	D7-D4	スリーステートデジタルI/O。
11	D3/D11	スリーステートデジタルI/O。D3出力(HBEN = ロー)、D11出力(HBEN = ハイ)。
12	D2/D10	スリーステートデジタルI/O。D2出力(HBEN = ロー)、D10出力(HBEN = ハイ)。
13	D1/D9	スリーステートデジタルI/O。D1出力(HBEN = ロー)、D9出力(HBEN = ハイ)。
14	D0/D8	スリーステートデジタルI/O。D0出力(HBEN = ロー)、D8出力(HBEN = ハイ)。D0 = LSB。
15	AGND	アナロググランド。
16-23	CH0-CH7	アナログ入力チャネル。
24	\overline{INT}	変換が完了し、出力データが使用可能になると、 \overline{INT} がローになります。
25	REFADJ	バンドギャップ電圧リファレンス出力/外部調整ピン。0.01 μ FコンデンサでAGNDにバイパスします。REFピンで外部リファレンスを使用する時は、V _{DD} に接続して下さい。
26	REF	リファレンスバッファ出力/ADCリファレンス入力。内部リファレンスモードでは、リファレンスバッファはREFADJで外部調整できる公称4.096V出力を供給します。外部リファレンスモードでは、REFADJをV _{DD} に接続し内部バッファをディセーブルして下さい。
27	V _{DD}	+5V電源。0.1 μ FコンデンサでAGNDへバイパスします。
28	DGND	デジタルグランド。

MAX197

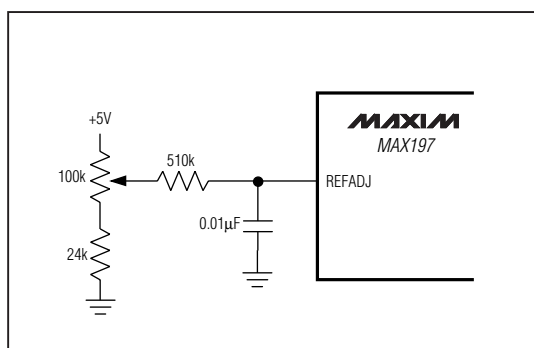


図1. リファレンス調整回路

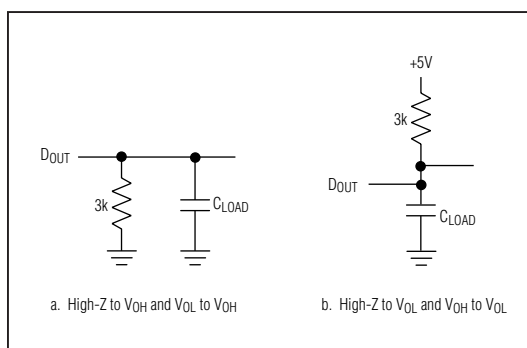


図2. イネーブル時間の負荷回路

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

詳細

コンバータの動作

MAX197はマルチレンジの耐障害ADCで、逐次近似及び内部入力トラック/ホールド(T/H)回路を用いることで、アナログ信号を12ビットデジタル出力に変換します。MAX197の平行出力フォーマットは、マイクロプロセッサ(μP)とのインタフェースを容易にします。MAX197の最も簡単な構成を図3に示します。

アナログ入力トラック/ホールド

内部収集制御モード(制御ビットD5を0に設定)では、 \overline{WR} の立上がりエッジでT/Hはトラッキングモードに入り、内部時間制御(6クロックサイクル)の収集期間が終了すると、ホールドモードに入ります。最大変換速度で変換精度を維持するためには、セトリング時間が $1.5\mu s$ 以下のローインピーダンス入力ソースが必要です。

外部収集制御モード(D5 = 1)では、T/Hは \overline{WR} の最初の立上がりエッジでトラッキングモードに入り、D5 = 0で \overline{WR} の2番目の立上がりエッジを検出すると、ホールドモードに入ります。詳細については、「外部収集」を参照して下さい。

入力帯域幅

ADCの入力トラッキング回路は、5MHzの小信号帯域幅を持っています。2MHzの外部クロック周波数で内部収集

モードを使用した場合、100kspsのスループットを達成することができます。アンダーサンプリング技法を用いることで、高速トランジェント現象をデジタル化し、ADCのサンプリングレートを超えた帯域幅の周期信号を測定することもできます。ただし、高周波信号によるエイリアスひずみを防止するためには、アンチエイリアスフィルタを用いることが推奨されます(MAX274/MAX275連続フィルタ)。

入力電圧範囲及び保護

等価入力回路を図4に示します。 $V_{REF} = 4.096V$ の場合、制御バイトにおける適切な制御ビット(D3、D4)を設定することによって、MAX197の入力電圧範囲を $\pm 10V$ 、 $\pm 5V$ 、 $0V \sim 10V$ 、又は $0V \sim 5V$ にプログラムすることができます(表2及び表3参照)。フルスケール入力の電圧はREFの電圧に依存します(表1)。REFADJに外部リファレンスを印加した時のREF電圧は、 $V_{REF} = 1.6384 \times V_{REFADJ}$ ($2.4V < V_{REF} < 4.18V$)の式から得られます。

表1. フルスケール及びゼロスケール

RANGE (V)	ZERO SCALE (V)	-FULL SCALE	+FULL SCALE
0 to 5	0	—	$V_{REF} \times 1.2207$
0 to 10	0	—	$V_{REF} \times 2.4414$
± 5	—	$-V_{REF} \times 1.2207$	$V_{REF} \times 1.2207$
± 10	—	$-V_{REF} \times 2.4414$	$V_{REF} \times 2.4414$

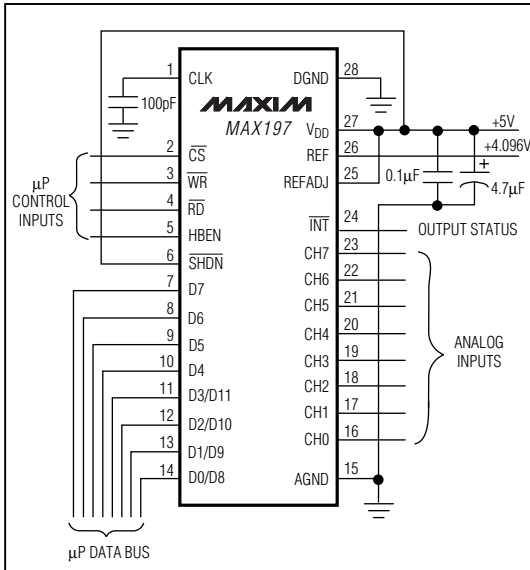


図3. 構成図

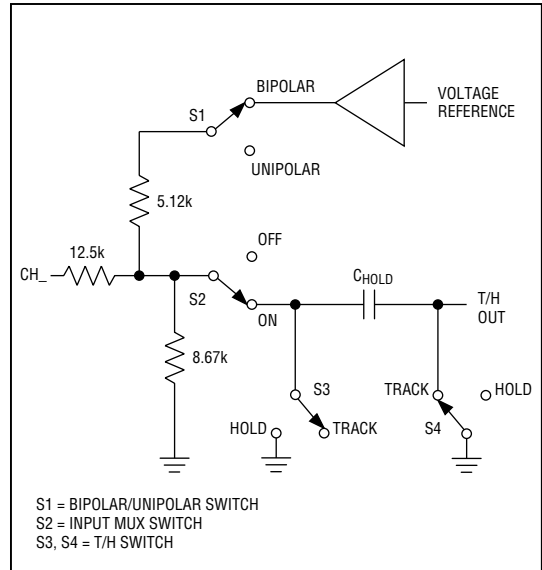


図4. 等価入力回路

マルチレンジ(±10V、±5V、+10V、+5V) +5V単一電源、12ビットDAS、8+4バスインタフェース付

入力チャネルは、±16.5Vまで過電圧保護されています。この保護機能は、デバイスのパワーダウンモード時もアクティブです。

入力抵抗ネットワークは、V_{DD} = 0Vの時でもデバイスを十分保護できるような電流制限を行っています。

デジタルインタフェース

入力データ(制御バイト)及び出力データは、スリープ状態の平行インタフェースで多重化されます。この平行I/OはμPで容易にインタフェースできるよう設計されています。CS、WR、及びRDは、読書き動作を制御します。CSは標準チップセレクト信号で、μPがMAX197をI/Oポートとしてアドレッシングできるようにしています。ハイになると、WR及びRDの入力がディセーブルされ、インタフェースがハイZの状態になります。

入力フォーマット

書込みサイクルでは、制御バイトはデバイスのピンD7-D0にラッチされます。制御バイトのフォーマットを表2に示します。

出力データフォーマット

出力データのフォーマットは、ユニポーラモードでは2進形式、バイポーラモードでは2の補数の2進形式です。出力データを読取っている間はCS及びRDをローにする必要があります。HBENがローの場合、低位8ビットが読取られます。HBENがハイの場合、上位4つのMSBが使用可能となり、出力データビットD4~D7はロー(ユニポーラモードの場合)又はMSB値(バイポーラモードの場合)のいずれかに設定されます(表6)。

表2. 制御バイトのフォーマット

D7 (MSB)	D6	D5	D4	D3	D2	D1	D0 (LSB)
PD1	PD0	ACQMOD	RNG	BIP	A2	A1	A0

ビット	名称	説明
7, 6	PD1, PD0	これら2つのビットは、クロックモード及びパワーダウンモードを選択します(表4)。
5	ACQMOD	0 = 内部制御収集(6クロックサイクル)、1 = 外部制御収集。
4	RNG	入力でのフルスケール電圧を選択(表3)。
3	BIP	ユニポーラ又はバイポーラ変換モードを選択(表3)。
2, 1, 0	A2, A1, A0	入力マルチプレクサがONチャネルを選択するためのアドレスビット(表5)。

表3. 電圧範囲及び極性選択

BIP	RNG	INPUT RANGE (V)
0	0	0 to 5
0	1	0 to 10
1	0	±5
1	1	±10

表4. クロック及びパワーダウン選択

PD1	PD0	デバイスのモード
0	0	通常動作 / 外部クロックモード
0	1	通常動作 / 内部クロックモード
1	0	スタンバイパワーダウン(STBYPD)。クロックモードへの影響はありません。
1	1	フルパワーダウン(FULLPD)。クロックモードへの影響はありません。

表5. チャネル選択

A2	A1	A0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	*							
0	0	1		*						
0	1	0			*					
0	1	1				*				
1	0	0					*			
1	0	1						*		
1	1	0							*	
1	1	1								*

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

表6. データバス出力

PIN	HBEN = LOW	HBEN = HIGH
D0	B0 (LSB)	B8
D1	B1	B9
D2	B2	B10
D3	B3	B11 (MSB)
D4	B4	B11 (BIP = 1) / 0 (BIP = 0)
D5	B5	B11 (BIP = 1) / 0 (BIP = 0)
D6	B6	B11 (BIP = 1) / 0 (BIP = 0)
D7	B7	B11 (BIP = 1) / 0 (BIP = 0)

変換の開始方法

マルチプレクサチャネルを選択し、MAX197をユニポーラ又はバイポーラの入力範囲を設定する書込み動作で、変換は開始します。書込みパルス($\overline{WR} + \overline{CS}$)によって収集期間又は収集・変換処理が開始されます。サンプリング期間は収集期間の終わりに発生します。入力制御バイトのACQMODビットでは、信号収集のオプションとして内部又は外部を選択することができます。ただし、内部クロック、外部クロック、又は収集モードのいずれの場合も、変換時間は12クロックサイクルです。

変換サイクル中に新しい制御バイトを書込むと、変換が中止され、新しい収集期間が開始されます。

内部収集

内部収集は、ACQMODビットをクリアし(ACQMOD = 0)、制御バイトを書込むことによって選択できます。内部収集を選択すると、書込みパルスによって、内部的に時間制御された収集期間が開始されます。この6クロックサイクルの収集期間が終了した時点($t_{CLK} = 2\text{MHz}$ 時は $3\mu\text{s}$)で、変換処理が開始されます。

外部収集

サンプリングアパーチャの制御及び収集時間、又は変換時間の独立制御を正確に行うためには、外部収集タイミングモードを使用します。この場合、収集及び変換開始はユーザが2つの書込みパルスによって制御します。最初のパルスACQMOD = 1は、不定長の収集期間を開始します。2番目のパルスACQMOD = 0は、収集を終了させ、 \overline{WR} の立上がりエッジで変換を開始します(図6)。ただし、ACQMOD = 1が2番目の制御バイトに存在する場合は、不定長の収集期間が再開されます。

入力マルチプレクサ用アドレスビットは、1番目と2番目の書込みパルスが同値であることが必要です。パワーダウンモードビット(PD0、PD1)は、2番目の書込みパルスで別の値を使用することもできます(パワーダウンモード参照)。

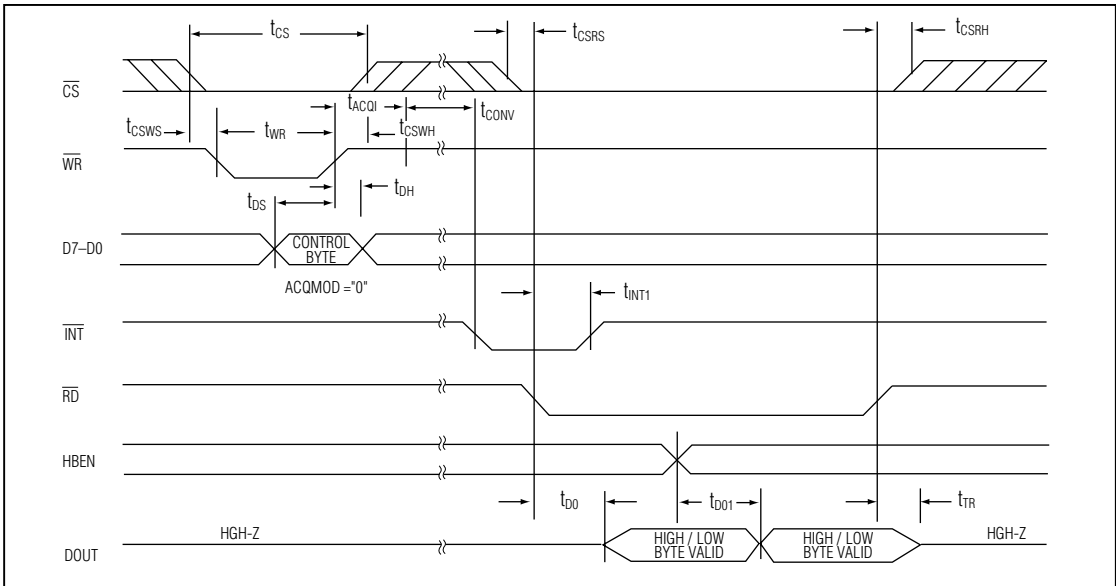


図5. 内部収集モードを用いた場合の変換タイミング

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

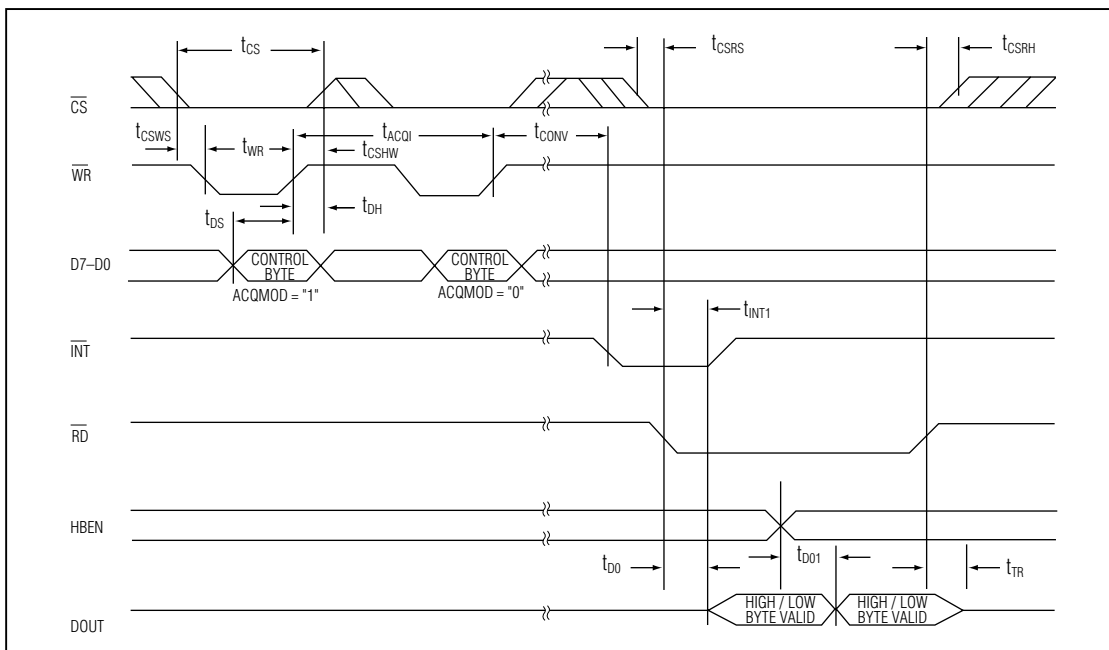


図6. 外部収集モードを用いた場合の変換タイミング

変換結果の読取り方法

変換が終了し、有効な結果が得られると、それを μP に知らせるために、標準割込み信号の \overline{INT} が用意されています。変換処理が完了し、出力データの準備が整うと、 \overline{INT} はローになります(図5及び図6)。この信号は、読取りサイクルの開始又は新しい制御バイトの書込みによってハイに戻ります。

クロックモード

MAX197は、内部クロック又は外部クロックで動作します。内部クロックモード又は外部クロックモードの選択は、制御ビット(D6、D7)で行います。一旦クロックモードが選択されると、これらのビットがパワーダウンするようにプログラム変更されても、クロックモードへの影響はありません。それぞれのモードにおいて内部収集又は外部収集を用いることができます。パワーアップ時は外部クロックモードが選択されます。

内部クロックモード

SARの変換クロックを駆動する負担から μP を解放したい場合には、内部クロックモードを選択します。このモードの選択は、D7 = 0及びD6 = 1で制御バイトを書込むことによって行います。CLKピンとグラウンド間の

100pFコンデンサによって、公称周波数は1.56MHzに設定されます。内部クロック周期と外部コンデンサ値のリニア関係を図7に示します。

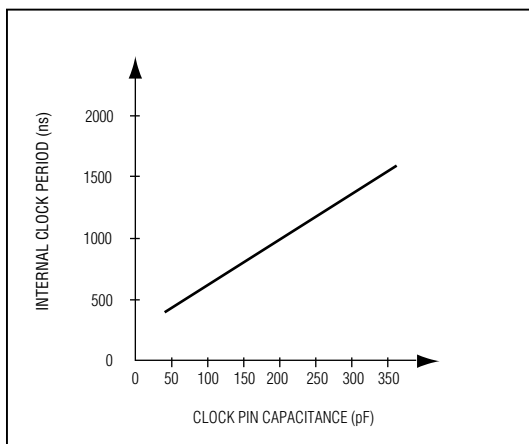


図7. 内部クロック周期とクロックピン容量の関係

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

外部クロックモード

外部クロックモードは、D7 = 0及びD6 = 0で制御バイトを書込むことによって選択します。外部クロックを使用した場合の、内部及び外部収集モードにおけるCLKと \overline{WR} のタイミングの関係を、図8に示します。

正常な動作を保证するためには、45% ~ 55%のデューティサイクルで100kHz ~ 2.0MHzの外部クロックが必要です。100kHz以下のクロック周波数で操作すると、ホールドコンデンサに電圧ドロップが発生し、性能が低下します。

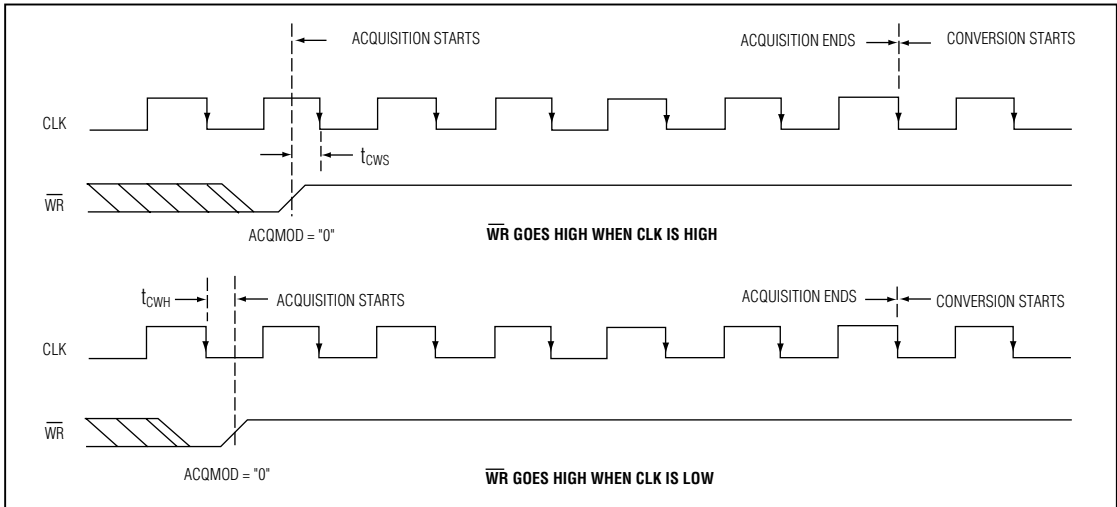


図8a. 外部クロック及び \overline{WR} のタイミング(内部収集モード)

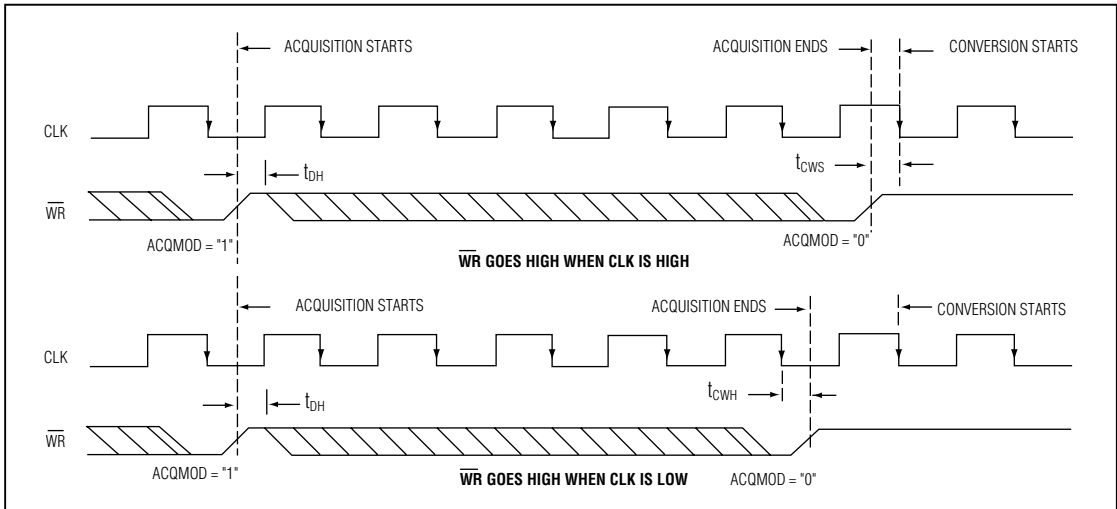


図8b. 外部クロック及び \overline{WR} のタイミング(外部収集モード)

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

アプリケーション情報

パワーオンリセット

パワーアップ時には、内部電源回路が $\overline{IN\overline{T}}$ をハイに設定し、デバイスを通常動作/外部クロックモードにします。この状態に設定されるのは、外部クロックモードでこの素子を使用している場合に、内部クロックが外部クロックドライバをロードしないようにするためです。

内部リファレンス又は外部リファレンス

MAX197は、内部リファレンス又は外部リファレンスのいずれでも動作します。外部リファレンスは、REFピン又はREFADJピンのいずれかに接続できます(図9)。

REF入力を直接使用する場合は、REFADJを V_{DD} に接続することで、内部バッファをディセーブルします。REFADJ入力を使用することで、外部でリファレンスをバッファリングする必要がなくなります。REFADJにリファレンスを印加する時は、 $0.01\mu\text{F}$ コンデンサでREFADJをAGNDにバイパスして下さい。

2.5Vリファレンスから4.096VをREFピンで供給するために、REFADJの内部バッファ利得は1.6384にトリミングされます。

内部リファレンス

内部トリミングされた2.50VリファレンスはREFADJバッファを介して利得調整され、REFで4.096Vを供給します。この時、REFピンは $4.7\mu\text{F}$ コンデンサでAGNDへバイパスし、REFADJピンは $0.01\mu\text{F}$ コンデンサでAGNDへバイパスします。図1のリファレンス調整回路によって、内部リファレンス電圧は $\pm 1.5\%$ (± 65 LSB)に調整することができます。

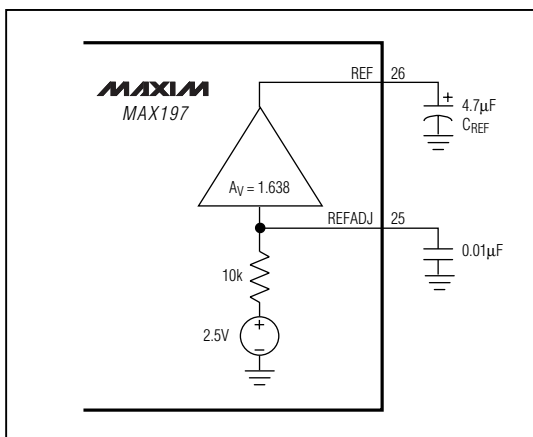


図9a. 内部リファレンス

外部リファレンス

REF及びREFADJでは、DC電流に対する入力インピーダンスは最低10k です。変換中は、REFの外部リファレンスは $400\mu\text{A}$ のDC負荷電流を供給できなければならず、出力インピーダンスは10以下でなければなりません。リファレンスの入力インピーダンスがこれよりも高い場合、又はノイズが多い場合には、 $4.7\mu\text{F}$ コンデンサでREFピンから最短でAGNDへバイパスします。

外部リファレンス電圧が、REFピンで4.096V以下又はREFADJピンで2.5V以下になった場合、LSB値に対するRMSノイズ比(FS/4096)が増大し、性能が低下します(有効ビットのロス)。

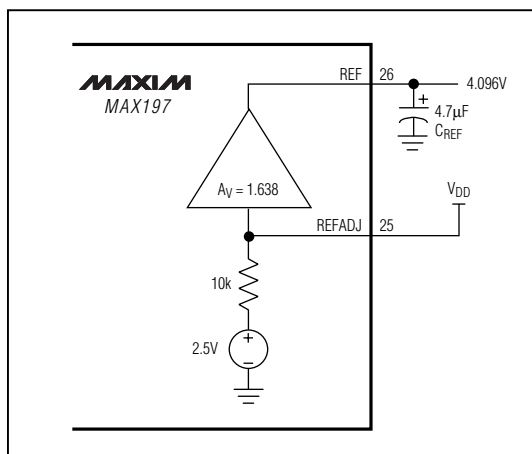


図9b. REFでの外部リファレンス

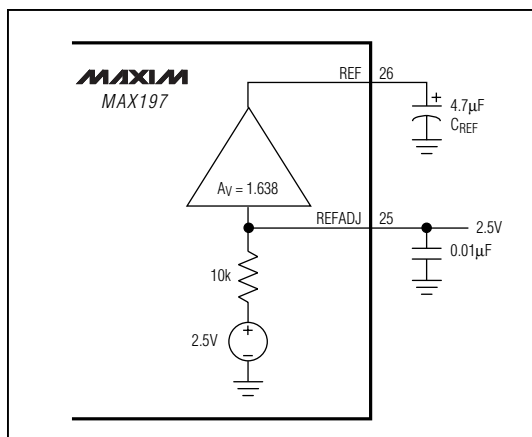


図9c. REFADJでの外部リファレンス

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

パワーダウンモード

電力を節約するために、変換を行っていない間はコンバータを低消費電流のシャットダウンモードにすることができます。MAX197にはハードウェアシャットダウンに加え、プログラマブルな2つのパワーダウンモードがあります。入力制御バイトのPD0とPD1をプログラミングすることによって、STBYPD又はFULLPDを選択します。ソフトウェアのパワーダウンは、変換終了後に有効となります。いずれのパワーダウンモードの場合も、インタフェースはアクティブ状態に維持されているため、変換結果を読取ることは可能です。また、入力過電圧保護機能も、全てのパワーダウンモードで有効です。なお、書込み動作時におけるWRの最初の立下がりエッジで、デバイスは通常動作に戻ります。

ハードウェア制御されたパワーダウン(FULLPD)を選択する時は、SHDNピンをローにします。ハードウェアシャットダウンは直ちに有効となり、変換処理は中止されます。

パワーダウンモードの選択

STBYPDモード中は、バンドギャップリファレンス及びリファレンスバッファがアクティブ状態を維持するため、REFピンの4.7 μ Fコンデンサの電圧はそのまま維持されます。これは、パワーダウン後劣化することのな

い"DC"状態です。従って、このモードでは、スタートアップ遅延に関係なくいかなるサンプリングレートも使用することができます。一方、FULLPDモードでは、バンドギャップリファレンスのみがアクティブ状態となっています。無変換時のリファレンス電圧を維持し、バッファのイネーブル/ディセーブル時のトランジェントを低減するためには、REFとAGNDの間に33 μ Fコンデンサを接続して下さい。この場合、変換前にリファレンスを回復するために余分の収集時間を割り当てずに、1kspsまでのスループットを達成することができます。従って、パワーダウンの終了後、直ちに変換処理を開始することができます。FULLPD中のREFコンデンサからの放電が精度の限界を超える(LSBの端数以下の)場合は、変換開始前にSTBYPDパワーダウンサイクルを実行して下さい。この時、リファレンスバッファは80mV/msのスループットでバイパスコンデンサを再充電するため、セトリング時間として50 μ sを追加します。33 μ Fの推奨コンデンサ値を使用した場合、10kspsのスループットでの消費電流は470 μ A(typ)です。

オートシャットダウン

変換毎にSTBYPDを選択することでMAX197は変換後に自動的にシャットダウンするため、次回の変換を行う際、スタートアップ時間を必要としません。

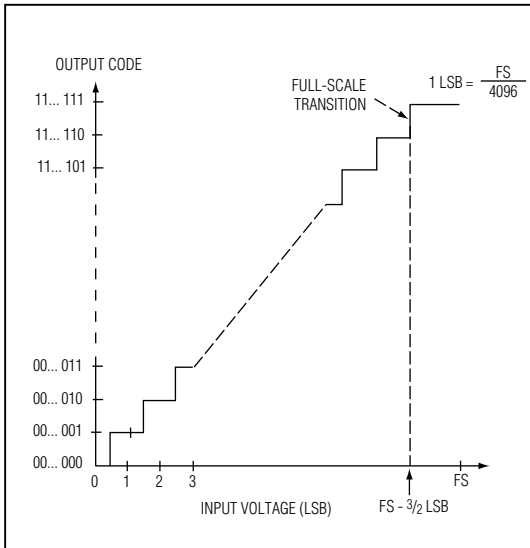


図10. ユニポーラ伝達関数

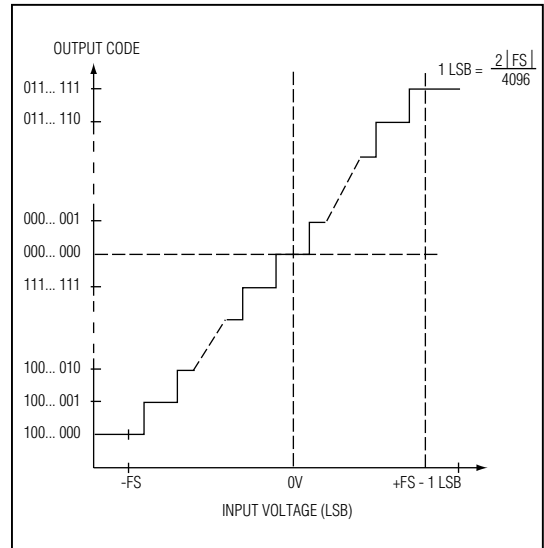


図11. バイポーラ伝達関数

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

MAX197

伝達関数

MAX197の出力データのコーディングは、1LSB = (FS/4096)のユニポーラモードでは2進形式、1LSB = ((2 x |FS|)/4096)のバイポーラモードでは2の補数の2進形式です。コード変化は、LSBの逐次整数値間の中で発生します。ユニポーラ動作時及びバイポーラ動作時の入出力(I/O)伝達関数を、それぞれ図10及び図11に示します。フルスケール(FS)値については、表1を参照して下さい。

レイアウト、接地、及びバイパス

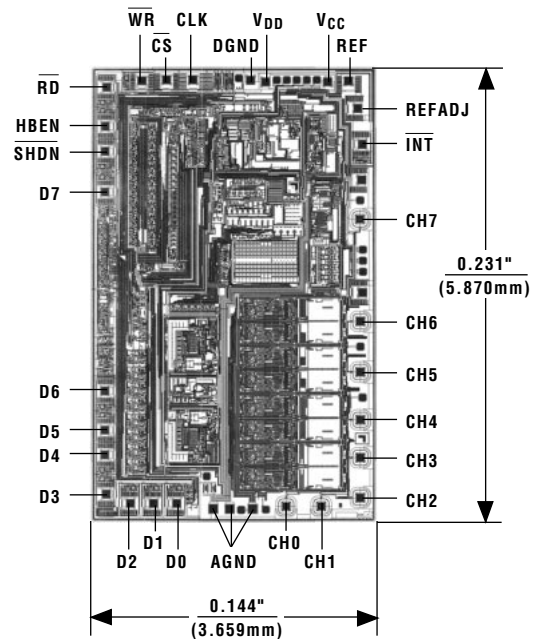
プリント基板の注意深いレイアウトは、最高のシステム性能を得る上で重要です。最高の性能を得るためにはグランドプレーンを使用します。クロストークやノイズインジェクションを低減するためには、アナログ信号とデジタル信号を分離することが必要です。干渉を最低限に抑えるために、デジタルグランドラインをデジタル信号ライン間に配線することができます。アナロググランドとDGNDをスター型接続でAGNDに接続します。ノイズを解消したい時は、AGNDから電源グランドへのグランドリターンが、ローインピーダンスで、しかもなるべく短くなるようにすることが必要です。この場合は、ロジックグランドを直接電源グランドに接続します。高周波及び低周波の変動を最低限に抑えるためには、0.1 μ Fコンデンサ及び4.7 μ FコンデンサでV_{DD}をAGNDへバイパスします。電源に過度のノイズがある場合は、図12に示すように電源とV_{DD}間に5 Ω 抵抗を接続します。

型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE
MAX197AENI	-40°C to +85°C	28 Narrow Plastic DIP
MAX197BENI	-40°C to +85°C	28 Narrow Plastic DIP
MAX197AEWI	-40°C to +85°C	28 Wide SO
MAX197BEWI	-40°C to +85°C	28 Wide SO
MAX197AEAI	-40°C to +85°C	28 SSOP
MAX197BEAI	-40°C to +85°C	28 SSOP
MAX197AMYI	-55°C to +125°C	28 Narrow Ceramic SB**
MAX197BMYI	-55°C to +125°C	28 Narrow Ceramic SB**

** Contact factory for availability and processing to MIL-STD-883.

チップ構造図



TRANSISTOR COUNT: 2956
SUBSTRATE CONNECTED TO GND

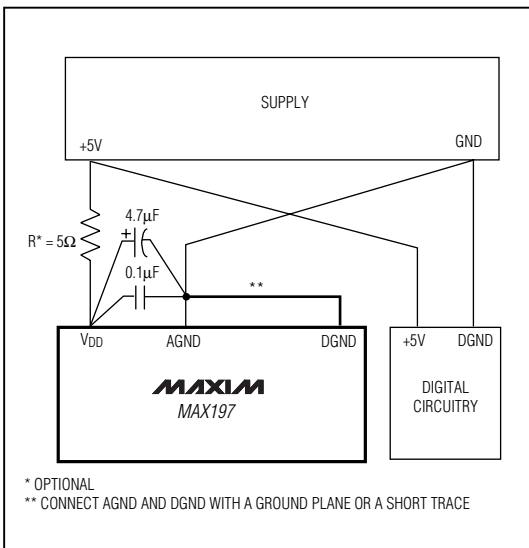
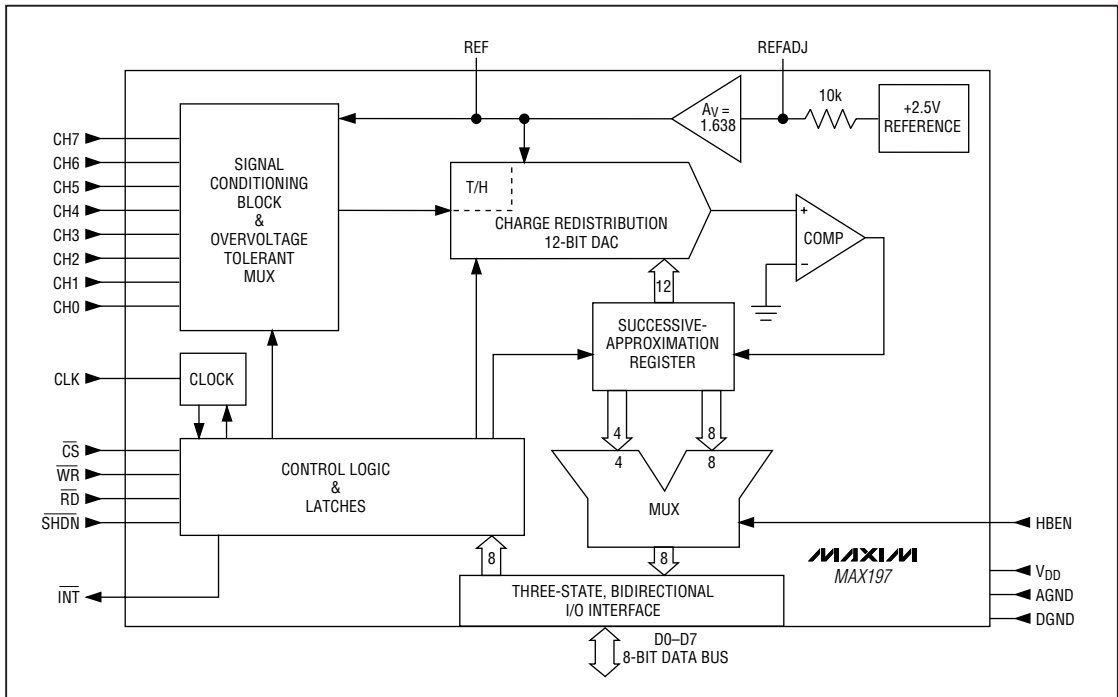


図12. 電源グランドの接続

マルチレンジ($\pm 10V$ 、 $\pm 5V$ 、 $+10V$ 、 $+5V$) +5V単一電源、12ビットDAS、8+4バスインタフェース付

機能図



販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**