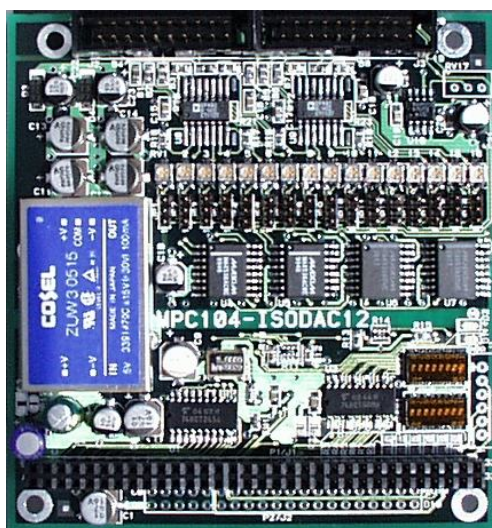


# MPC104-1SODAC12

## 取扱説明書



株式会社エンベデッドテクノロジー

はじめに

#### 1. 製品の保証について

##### ・無償修理

製品ご購入後1年間は無償で修理いたします。  
(但し、下記「有償修理」に該当するものを除く)

##### ・有償修理

- 1)製品ご購入後1年を経過したもの。
- 2)製品購入1年以内で故障の原因がお客様の取り扱い上のミスによるもの。
- 3)製品購入1年以内で故障の原因がお客様の故意によるもの。

##### ・免責事項

当社製品の故障、不具合、誤動作あるいは停電によって生じた損害等の純粋経済損失につきましては、当社は一切その責任を負いかねますので、あらかじめご了承ください。

#### 2. 製品について

- ・当社製品はカタログ仕様範囲内において、使用部品、回路図等、予告無く変更することがあります。
- ・当社製品は部品メーカーの製造中止等によりやむを得ず製品の供給を続けることが出来なくなることがあります。
- ・当社製品の無断での複製を禁止します。
- ・当社製品は一般商工業用として設計されており生命、財産に関わるような状況下で使用されることを意図して設計、製造されたものではありません。本製品の故障、誤動作が人命を脅かしたり、人体に危害を与えたりする恐れのある用途（生命維持、監視のための医療用）、および高い信頼性が要求される用途（航空・宇宙用、運輸用、海底中継器、原子力制御用、走行制御用、移動体用）にはご利用されないようご注意ください。すべての電子機器はある確率で故障が発生します。当社製品の故障により、人畜や財産が被害を受けたり、火災事故や社会的損害が生じたりしないように安全設計をお願いします。また長時間連続運転や仕様外の環境でのご使用は避けてください。但し、長時間連続運転でご使用された場合の故障につきましては通常どおりの修理保証（1年以内無償、1年以上有償）が受けられます。

#### 3. カタログ、取扱説明書の記載事項について

- ・当社製品のカタログ及び取扱説明書は予告無く変更する場合があります。
- ・取扱説明書に記載されている内容及び回路図の一部又は全部を無断での転載、転用を禁止します。
- ・本資料に記載された情報、回路図は機器の応用例であり動作、性能を保証するものではなく、実際の機器への搭載を目的としたものではありません。またこれらの情報、回路を使用することにより起因する第三者の工業所有権、知的所有権、その他権利侵害に関わる問題が生じた際、当社はその責を負いませんのであらかじめご了承ください。

#### 4. 海外への輸出について

- ・当社製品を使用した機器を海外へ持ち出される場合、当社製品のCOCOMパラメーターシートが必要です。その都度お申しつけ頂ければパラメーターシートを発行いたします。

5. 本書に記載された使用条件の範囲内でご使用願います。使用条件の範囲を超えたご使用の場合は本製品の保証は致しかねますのであしからずご了承ください。

## 目次

	ページ
1. 概要	4
2. 特徴	4
3. 仕様	4
4. ブロック図	5
5. 動作説明	6
6. 実装図	8
7. アドレスマップ	9
8. レジスタ解説	10
8-1. 変換コマンド (DADR)	10
8-2. LDAC 制御, DAC 選択 (DASEL)	10
8-3. 割込制御, LED 制御 (INTCTRL)	13
8-4. 割込信号復帰 (INTRST)	15
8-5. ボード ID (BID)	16
8-6. LDAC, DAC 選択状態 (STAT)	16
8-7. LED 状態, フラグ (INTSTAT)	18
9. ボード設定	20
9-1. ディップスイッチ設定	20
9-2. ジャンパ設定	22
9-3. ポテンショ調整	24
10. 入出力回路説明	25
10-1. アナログ出力回路	25
10-2. 割込出力回路	26
11. 変換手順フローチャート	27
11-1. 単純出力	27
11-2. 2チャンネル同時出力	28
11-3. 複数チャンネル同時更新 (LDAC 固定)	29
11-4. 複数チャンネル同時更新 (LDAC 制御)	31
12. 付記	33
A. アドレス一覧	33
B. シリアルインターフェースプログラミングコマンド	34
C. ピンアサイン	35
D. 変換式	37
E. プログラム作成における注意	38
F. 電源投入時のDAC出力状態に関する注意	41

## 改訂履歴

改訂日	改訂項目	ページ	改訂箇所
2004/7/1	新規作成		暫定版
2004/10/2	リリース版		第一版発行
2004/12/17	電源投入時の注意	42	付記

## 1. 概要

MPC104-ISODAC12（以下本製品と記述）は PC/104 バスインターフェース(8 ビットバス)を採用したアイソレート 12 ビット DA コンバータボードです。

アナログ出力信号のチャンネル数は基本仕様で 8 チャンネル、増設オプション付きで 16 チャンネルとなります。

## 2. 特徴

DAC 制御信号をフォトカプラで絶縁し、アナログ系電源に絶縁型 DC-DC コンバーターを採用しており、アナログ信号とデジタル信号が絶縁されています。

DAC のインターフェースはシリアル（SPI/QSPI または MICROWIRE 互換）ですが CPLD 採用によりポートアクセスで制御できるように使い易く工夫してあります。

搭載されている DAC 素子は 4 チャンネル出力のため、8 チャンネル仕様ボード（基本構成）では 2 素子、16 チャンネル仕様ボード（増設オプション）では 4 素子実装しています。

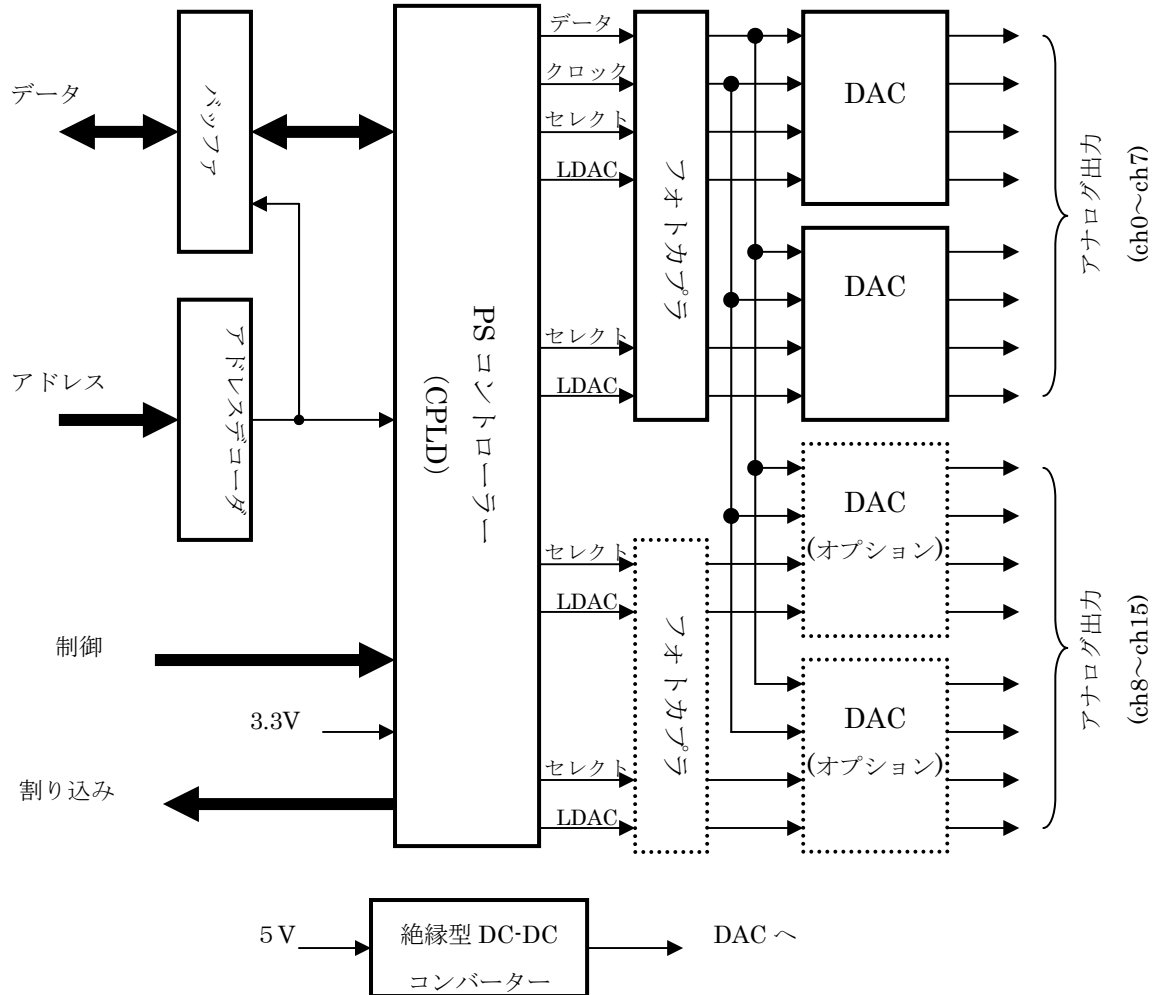
アナログ出力は OP アンプを介しており、ジャンパピンの設定でチャンネル毎に出力電圧範囲を切り替えることが可能です。

## 3. 仕様

項目	内容
DAC 素子	MAX536
分解能	12 ビット
変換時間	2.9 $\mu$ s
出力チャンネル	基本 8ch, 増設オプション 8ch
出力電圧範囲	0~5V, -5V~+5V, 0~10V (チャンネル毎に設定)
リニアリティ	$\pm 1$ LSB
オフセットエラー	0~5V : $\pm 5$ LSB, 0~10V : $\pm 10$ LSB, $\pm 5$ V : $\pm 10$ LSB
インターフェース	PC/104 (但し, 8 ビットデータバス信号)
割り込み	変換終了 (IRQ3, IRQ4, IRQ5, IRQ7 から選択)
電源	+5V 単一電源
消費電流	750mA-typ (16ch)
占有アドレス	4 バイト
その他	アドレスデコード 8 または 16 ビット

注) 回路図および、CPLD 内部情報は公開しておりません。ご不明な点はお問い合わせください。

#### 4. ブロック図



## 5. 動作説明

本製品は DAC 素子に MAX536 を採用しております。この素子はアナログ出力を 4 チャンネル有しており、8 チャンネルまたは 16 チャンネル出力とするため、本製品は 2 素子または 4 素子をボード上に搭載しております。

出力チャンネルと DAC 素子、DAC 内レジスタ名の関係は次のようになっています。

表 5-1

出力チャンネル	選択する DAC	対応するレジスタ名
ch0	DAC0	入力レジスタ A
ch1		入力レジスタ B
ch2		入力レジスタ C
ch3		入力レジスタ D
ch4	DAC1	入力レジスタ A
ch5		入力レジスタ B
ch6		入力レジスタ C
ch7		入力レジスタ D
ch8	DAC2	入力レジスタ A
ch9		入力レジスタ B
ch10		入力レジスタ C
ch11		入力レジスタ D
ch12	DAC3	入力レジスタ A
ch13		入力レジスタ B
ch14		入力レジスタ C
ch15		入力レジスタ D

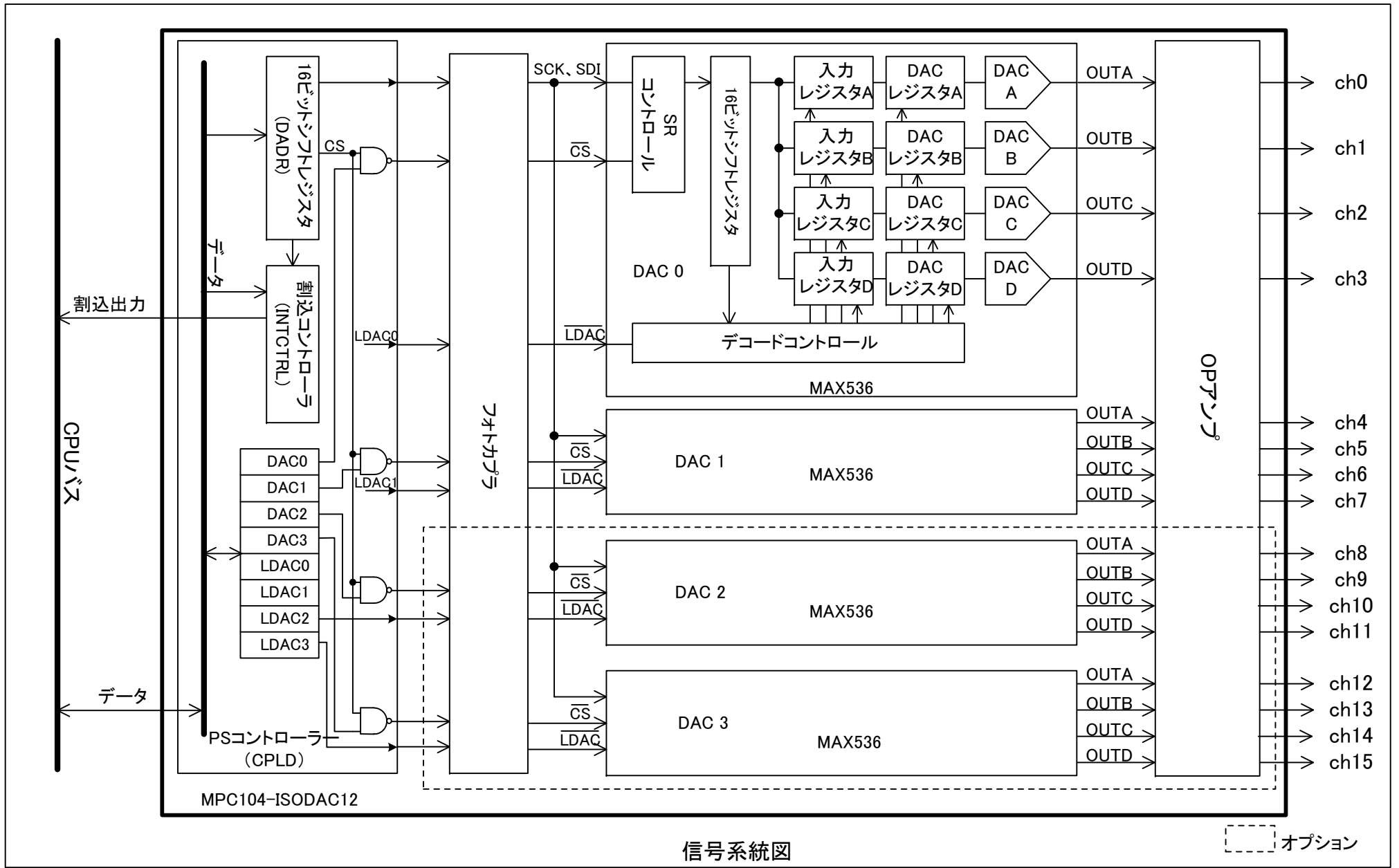
また、MAX536 はインターフェースがシリアル方式のため、CPLD (PS コントローラ) でパラレル-シリアル変換を行っております。

CPLD にはパラレル-シリアル変換レジスタ、DAC 選択など DAC 制御のための書き込み用レジスタが 3 個、DAC 選択状態、割り込み設定状態記憶のための読み出し用レジスタが 4 個内蔵されています。

表 5-2

書き込み用レジスタ	機能	読み出し用レジスタ	機能
DADR	DAC コマンド	INTRST	割り込み復帰
DASEL	DAC 選択	BID	ボード ID
INTCTRL	割り込み制御	STAT	DAC 選択状態
		INTSTAT	割り込み設定状態

DAC へコマンドを送る場合は、まず DAC 素子の選択のため、DASEL レジスタを設定します。DASEL レジスタは DAC 選択のビットのほか、LDAC 端子の制御ビットも含まれています。次に 16 ビットシリアルインターフェースプログラミングコマンド (以下 DAC コマンドと記載) を書き込みます。書き込まれた DAC コマンドはシリアル信号に変換され、選択された DAC に送られます (信号系統図参照)。

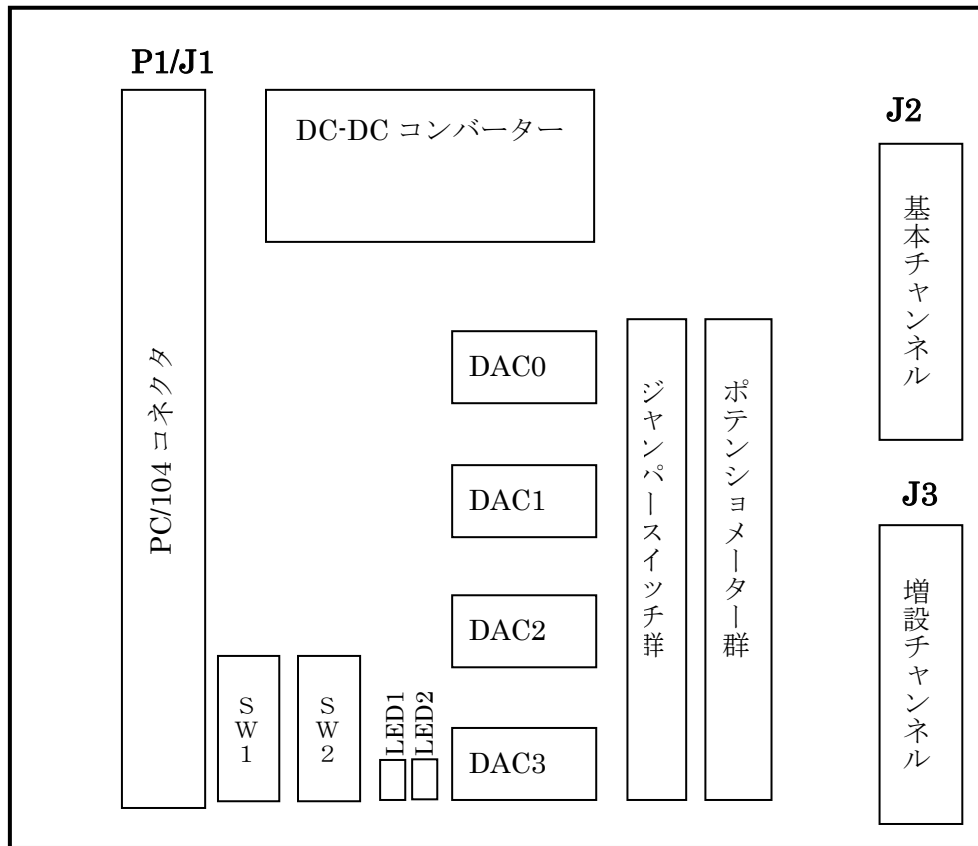


信号系統図

オプション



## 6. 実装図



## 7. アドレスマップ

出荷時設定アドレス : 0x7a0

オフセット	R/W	レジスタ名称	内容
0	W	DADR(L)	変換データ(DA7~DA0)
	R	INTRST	割込信号復帰
+1	W	DADR(H)	変換データ(DA11~DA8), 変換開始
	R	BID	ボード ID
+2	W	DASEL	LDAC 制御, DAC 選択
	R	STAT	LDAC, DAC 選択状態
+3	W	INTCTRL	LED 制御, 割込制御
	R	INTSTAT	LED 状態, フラグ

### DADR

アナログ出力データのレジスタ。書き込みと同時に DA 変換を開始。

### INTRST

割込信号をリセットします（レベル割込設定時）。

### DASEL

DAC 素子選択, 各素子の LDAC 信号制御。

### BID

MPC104-ISODAC12 を識別する番号が格納されたレジスタ。

### STAT

選択された DAC 素子, 各素子の LDAC の状態。

### INTCTRL

割込許可・禁止, 割込ベクタ選択等の設定。

チェック用 LED の点灯・消灯の制御。

### INTSTAT

割込許可・禁止, 割込ベクタ選択状態。

チェック用 LED の点灯・消灯の状態の読み取り。

増設チャンネルの有無。

## 8. レジスタ解説

### 8-1. 変換コマンド (DADR)

オフセット=0, 1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
名称	A1	A0	C1	C0	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DADRはDA変換器へ送信する16ビットシリアルワードを格納する16ビットのレジスタです。書込後、変換を開始します。

16ビットシリアルワードの内容は付録のシリアルインターフェースプログラミングコマンドまたはMAX536データシートを参照してください。

8ビットでアクセスするときは、下位バイト（オフセット=0）、上位バイト（オフセット=1）の順に書き込みをおこなってください。理由は上位バイトにデータを書き込むことにより変換を開始するためです。初めに下位バイトを書き込むと、書き込んだデータはCPLD内部に一時的に保存され、次に上位バイトを書き込むと保存された下位データと上位データが順にDACに送られます。

なお、変換コマンドをセットするときはBUSYビット（STATレジスタ；オフセット=3のビット7）が0ときにおこなってください。

### 8-2. LDAC制御, DAC選択 (DASEL)

オフセット=2

ビット	7	6	5	4	3	2	1	0
名称	LDAC3	LDAC2	LDAC1	LDAC0	DAC3	DAC2	DAC1	DAC0
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

DAC素子の選択とDACのLDAC端子の制御をLDACレジスタで行います。

本製品は1個のDAC素子でアナログ出力4チャンネルを有します。したがって出力するチャンネルによってDACを選択しなければなりません（信号系統図参照）。

LDACの設定とDACの動作の関係は8章のシリアルインターフェースプログラミングコマンドを参照してください。

LDAC0からLDAC3はそれぞれDAC0からDAC3に対応しており、DAC素子は同時に選択可能です。

CPLDとDAC素子の間はフォトカプラで絶縁されており、フォトカプラのスイッチング時間によりLDAC端子はLDACレジスタ更新から遅れて変化します。したがって、LDAC

端子の制御でアナログ出力を更新するような使用方法では注意が必要です。LDAC レジスタの書き換え時間が短い場合、LDAC 端子の変化が間に合わず正しく動作しません。LDAC レジスタを更新するときは十分なディレイタイムをとった後、次の処理をしてください。

ディレイタイムは次のとおりです。

LDAC レジスタ	LDAC 端子	ディレイ
0 → 1	L → H	約 50 $\mu$ s
1 → 0	H → L	約 3 $\mu$ s

ただし、LDAC 以外の端子は高速フォトカプラを使用しているため遅れ時間は問題となりません。

#### LDAC 制御 (LDAC3~LDAC0)

ビット 7	解説
LDAC3	
0	DAC3 (ch12~ch15)の LDAC を 0 に設定する。(初期状態)
1	DAC3 (ch12~ch15)の LDAC を 1 に設定する。

ビット 6	解説
LDAC2	
0	DAC2 (ch8~ch11)の LDAC を 0 に設定する。(初期状態)
1	DAC2 (ch8~ch11)の LDAC を 1 に設定する。

ビット 5	解説
LDAC1	
0	DAC1 (ch4~ch7)の LDAC を 0 に設定する。(初期状態)
1	DAC1 (ch4~ch7)の LDAC を 1 に設定する。

ビット 4	解説
LDAC0	
0	DAC0 (ch0~ch3)の LDAC を 0 に設定する。(初期状態)
1	DAC0 (ch0~ch3)の LDAC を 1 に設定する。

#### DAC 選択 (DAC3~DAC0)

ビット 3	解説
DAC3	

0	DAC3 (ch12~ch15)に変換コマンドを送らない。(初期状態)
1	DAC3 (ch12~ch15)に変換コマンドを送る。

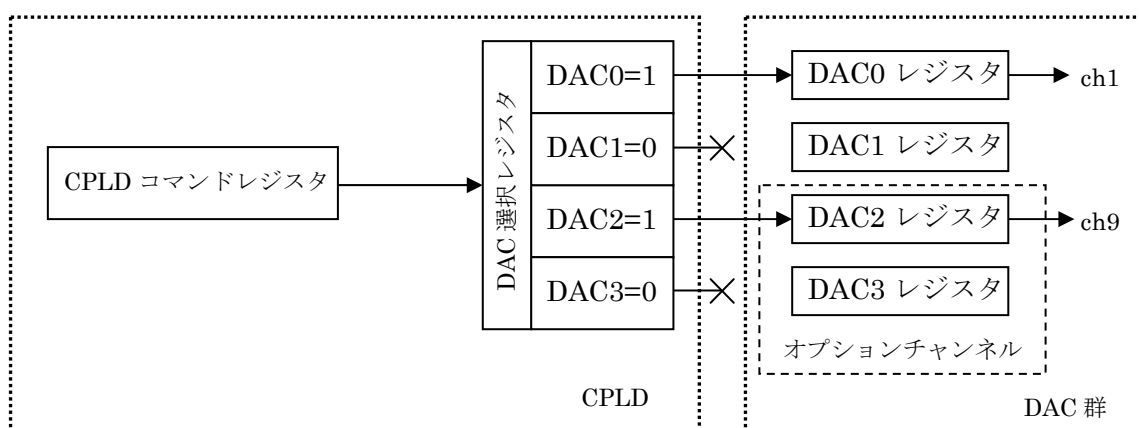
ビット 2	解説
DAC2	
0	DAC2 (ch8~ch11)に変換コマンドを送らない。(初期状態)
1	DAC2 (ch8~ch11)に変換コマンドを送る。

ビット 1	解説
DAC1	
0	DAC1 (ch4~ch7)に変換コマンドを送らない。(初期状態)
1	DAC1 (ch4~ch7)に変換コマンドを送る。

ビット 0	解説
DAC0	
0	DAC0 (ch0~ch3)に変換コマンドを送らない。(初期状態)
1	DAC0 (ch0~ch3)に変換コマンドを送る。

DAC に変換コマンドを送る場合は、まず該当する DAC0, DAC1, DAC2, DAC3 を 1 に設定してください。同時に複数の DAC を 1 に設定することも可能です。この場合は選択された DAC に同じコマンドが送られます。

例 : DAC0=1, DAC2=1, 選択レジスタ=B



この場合チャンネル 1 のレジスタを更新すると、チャンネル 9 も更新されます。ただし、アナログ出力は使用するコマンドとそれぞれの LDAC の設定により、更新あるいは固定となります。たとえば、LDAC0=0, LDAC2=1 のとき、コマンド 0x5zzz を送るとチャンネル 1 のアナログ出力は即座に更新されますが、チャンネル 9 は更新されません。その後

LDAC2=0 に設定するかアナログ出力更新コマンド (0x9000 など) を送信するまで変化しません。

0x5zzz の zzz は DA 変換値です。

### 8-3. 割込制御, LED 制御 (INTCTRL)

オフセット=3

ビット	7	6	5	4	3	2	1	0
名称	—	—	LED2	LED1	INTE	EDGE	INT1	INT0
R/W	—	—	W	W	W	W	W	W
初期値	—	—	0	0	0	0	0	0

割込信号は DA 変換終了時受け付けられますが、それらの信号は INTCTRL レジスタの設定で IRQ3, 4, 5, 7 へ振り分けられます。

DA 変換終了割込信号のモードはレベル・エッジの切り替えが可能です。

レベルモードの時、割込信号は次データの書き込みまたは INTRST レジスタの読み込みでリセットされます。

LED 制御はボード上の LED の点灯・消灯を制御します。

#### LED2 制御 (LED2)

ビット 5	解説
LED2	
0	LED2(D2)を消灯。(初期状態)
1	LED2(D2)を点灯。

#### LED1 制御 (LED1)

ビット 4	解説
LED1	
0	LED1(D1)を消灯。(初期状態)
1	LED1(D1)を点灯。

#### 割込許可・禁止設定 (INTE)

ビット 3	解説
INTE	
0	DA 変換割込は使用しません。(初期状態)
1	DA 変換割込を使用します。

DA 変換終了時の割込信号の発生を制御します。

### 割込信号出力レベル・エッジ選択 (EDGE)

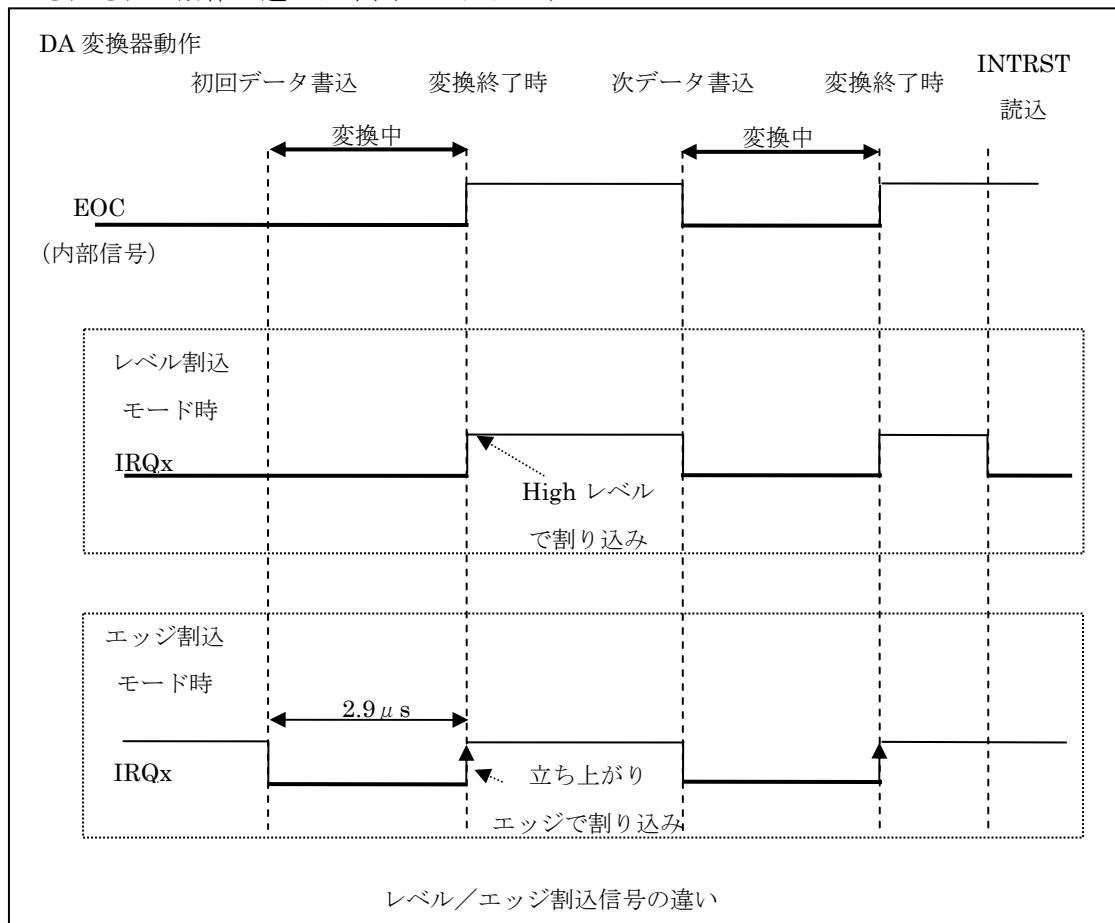
ビット 2	解説
EDGE	
0	DA 変換終了割込信号をレベル割込に設定します。(初期状態)
1	DA 変換終了割込信号をエッジ割込に設定します。

DA 変換終了時に発生する割込信号のモードを選択します。レベル割込モードとエッジ割込モードの 2 種類があります。INTE が 1 のとき有効です。

レベル割込は DA 変換器の変換終了信号が割込信号に出力されます。INTCTRL 設定時に選択された割込信号は Low レベルになります。DA 変換終了時、割込信号が High レベルになります。CPU は割り込みを受け付け、割込処理内で次のデータを書き込むか INTRST を読み込むと割込信号は Low レベルに復帰します。

エッジ割込は変換開始時に一旦 Low レベルになり、2.9 $\mu$ s 後の変換終了と同時に High レベルにもどります。CPU は割込信号の立ち上がりエッジで割込を受け付けます。1 本の割込信号を共有する場合はエッジ割込を使用します。

それぞれの動作の違いは下図のとおりです。

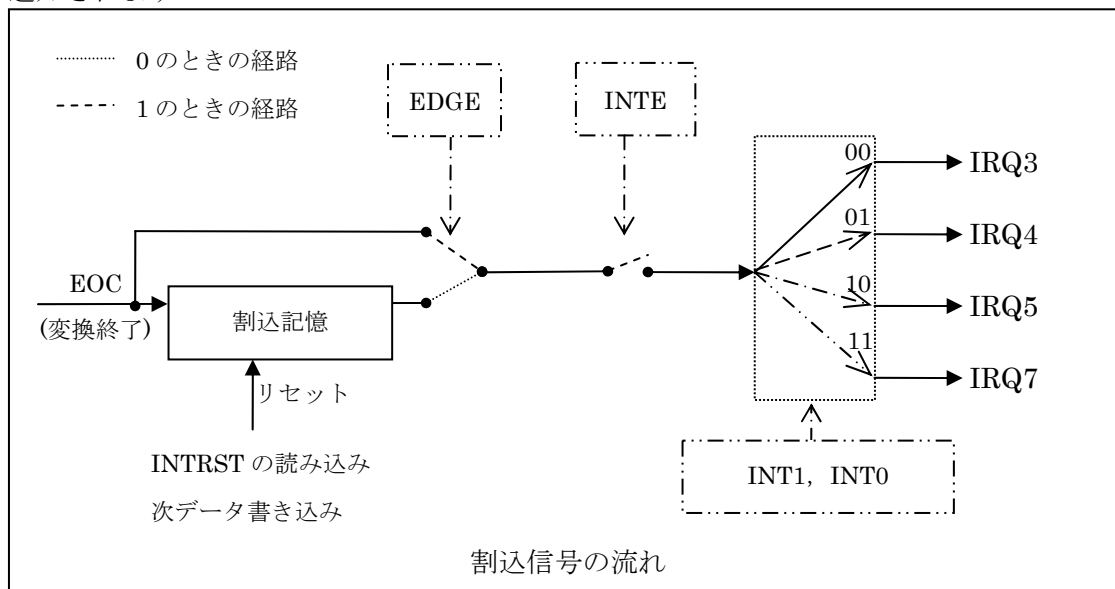


### 割込ベクタ選択 (INT0, INT1)

ビット 1	ビット 0	解説
INT1	INT0	割込ベクタ
0	0	割込ベクタに IRQ3 を使用します。 (初期状態)
	1	割込ベクタに IRQ4 を使用します。
1	0	割込ベクタに IRQ5 を使用します。
	1	割込ベクタに IRQ7 を使用します。

使用する割込ベクタを選択します。

変換終了割込信号は EDGE, INTE, INT1, INT0 の設定により, 下図の経路で CPU に通知されます。



### 8-4. 割込信号復帰 (INTRST)

オフセット=0

ビット	7	6	5	4	3	2	1	0
名称								
R/W	R	R	R	R	R	R	R	R
初期値	-	-	-	-	-	-	-	-

DA 変換終了後の割込処理の際, INTRST を読み込むと割込信号がリセットされます。

割り込み信号は通常, 次のデータの書き込みでリセットされますが, 書き込みデータがない場合は INTRST の読み込みを行うことによりリセットします。

割込信号出力のモードをレベルに選択しているとき有効です。



### 8-5. ボード ID (BID)

オフセット = 1

ビット	7	6	5	4	3	2	1	0
名称	BID7	BID6	BID5	BID4	BID3	BID2	BID1	BID0
R/W	R	R	R	R	R	R	R	R
初期値	1	0	0	0	1	0	1	0/1

本製品固有の番号が格納されています。

本ボードが装着されているかどうかをソフトウェアから判定するために利用します。

BID レジスタの設定は出荷時に行います。したがって読み出し値は固定です。

#### ボード ID (BID 7~1)

ビット 7~1	解説
BID7~1	
	固有番号が書き込まれています。

#### 増設チャンネル (BID0)

ビット 0	解説
BID0	
0	基本チャンネルのみ。
1	増設チャンネルが存在します。

### 8-6. LDAC, DAC 選択状態 (STAT)

オフセット = 2

ビット	7	6	5	4	3	2	1	0
名称	LDAS3	LDAS2	LDAS1	LDAS0	DACS3	DACS2	DACS1	DACS0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

DAC 素子の選択状態 (DASEL レジスタの DAC 0 から DAC 3) と LDAC 設定状態 (DASEL レジスタの LDAC 0 から LDAC 3) が STAT レジスタに記録されています。

ただし、LDAS は LDAC 端子の状態ではありません。8-2 の説明にあるように LDAC レジスタの更新から LDAC 端子の変化までにはディレイがあるため、その間に読み込まれた LDAS の値は LDAC 端子の状態とは異なります。

#### LDAC 状態 (LDAS3~LDAS0)

ビット 7	解説
LDAS3	
0	DAC3 (ch12~ch15)の LDAC は 0 が設定されている。 (初期状態)
1	DAC3 (ch12~ch15)の LDAC は 1 が設定されている。

ビット 6	解説
LDAS2	
0	DAC2 (ch8~ch11)の LDAC は 0 が設定されている。 (初期状態)
1	DAC2 (ch8~ch11)の LDAC は 1 が設定されている。

ビット 5	解説
LDAS1	
0	DAC1 (ch4~ch7)の LDAC は 0 が設定されている。 (初期状態)
1	DAC1 (ch4~ch7)の LDAC は 1 が設定されている。

ビット 4	解説
DACS0	
0	DAC0 (ch0~ch3)の LDAC は 0 が設定されている。 (初期状態)
1	DAC0 (ch0~ch3)の LDAC は 1 が設定されている。

#### DAC 選択状態 (DACS3~DACS0)

ビット 3	解説
DACS3	
0	DAC3 (ch12~ch15)が選択されている。 (初期状態)
1	DAC3 (ch12~ch15)は選択されていない。

ビット 2	解説
DACS2	
0	DAC2 (ch8~ch11)が選択されている。 (初期状態)
1	DAC2 (ch8~ch11)は選択されていない。

ビット 1	解説
DACS1	
0	DAC1 (ch4~ch7)が選択されている。 (初期状態)

1	DAC1 (ch4~ch7)は選択されていない。
---	--------------------------

ビット 0	解説
DACS0	
0	DAC0 (ch0~ch3)が選択されている。(初期状態)
1	DAC0 (ch0~ch3)は選択されていない。

### 8-7. LED 状態, フラグ (INTSTAT)

オフセット = 3

ビット	7	6	5	4	3	2	1	0
名称	BUSY	—	LEDS2	LEDS1	INTES	EDGES	INTS1	INTS0
R/W	R	—	R	R	R	R	R	R
初期値	0	—	0	0	0	0	0	0

割込制御, LED 制御レジスタの設定値と DAC 動作状態 (READY/BUSY) を読み出します。

#### 変換中フラグ (BUSY)

ビット 7	解説
BUSY	
0	DA 変換器は待機状態で, 変換コマンドを受け付け可能です。(初期状態)
1	DA 変換器は変換動作中です。

BUSY フラグが 1 のときは変換コマンドを発行しないでください。

#### LED2 状態 (LEDS2)

ビット 5	解説
LEDS2	
0	LED2(D2)は消灯。(初期状態)
1	LED2(D2)は点灯

#### LED1 状態 (LEDS1)

ビット 4	解説
LEDS1	
0	LED1(D1)は消灯。(初期状態)
1	LED1(D1)は点灯

割込許可・禁止状態 (INTES)

ビット 3	解説
INTES	
0	DA 変換割込は使用していません。(初期状態)
1	DA 変換割込を使用しています。

割込信号出力レベル・エッジ選択状態 (EDGES)

ビット 2	解説
EDGES	
0	DA 変換終了割込信号はレベル割込に設定されています。(初期状態)
1	DA 変換終了割込信号はエッジ割込に設定されています。

割込ベクタ選択状態 (INTS0, INTS1)

ビット 1	ビット 0	解説
INTS1	INTS0	割込ベクタ
0	0	IRQ3 が選択されています。(初期状態)
	1	IRQ4 が選択されています。
1	0	IRQ5 が選択されています。
	1	IRQ7 が選択されています。

## 9. ボード設定

### 9-1. ディップスイッチ設定

本ボードの I/O ベースアドレスを設定します. 他のボードや周辺機器と重複しないアドレスを設定してください.

本ボードには 16 ビットアドレスデコードと 8 ビットアドレスデコードの 2 つのモードがあります.

8 ビットアドレスデコードは弊社の高速度 Z80 CPU カード MPCZ-16EX で 8 ビットアドレス I/O 命令 (IN A,xx, OUT xx,A) を使用するときを選択します.

16 ビットアドレスデコードは 16 ビット CPU(i386, 486 等)を使用する時, あるいは MPCZ-16EX で 16 ビットアドレス I/O 命令 (IN A,(C), OUT (C),A) を使用するときを選択します.

#### SW2 上位 8 ビットアドレスデコード

番号	信号	出荷時設定
1	SA15	ON
2	SA14	ON
3	SA13	ON
4	SA12	ON
5	SA11	ON
6	SA10	OFF
7	SA09	OFF
8	SA08	OFF

#### SW1 下位 8 ビットアドレスデコード (最下位 2 ビットはデコードされません)

番号	信号	出荷時設定
1	SA07	OFF
2	SA06	ON
3	SA05	OFF
4	SA04	ON
5	SA03	ON
6	SA02	ON
7	未使用	OFF
8	16BITADR	ON

スイッチ ON で論理は 0, OFF で 1 となります.

SW2 スイッチ 8 は ON で 16 ビットアドレスデコードモード, OFF で 8 ビットアドレスデコードモードになります.

出荷時は 16 ビットアドレスデコードモードで 0x07a0~0x07a3 となっています.

#### 設定例

8 ビットアドレスデコード時 (SW1 の設定のみ有効)

#### SW1

1	2	3	4	5	6	7	8
OFF	ON	OFF	ON	ON	ON	OFF	OFF

この場合は 2 進表記で 1010 00XX となり, デコードされるアドレスは 0xA0 から 0xA3

になります。上位8ビット（A8からA15）は任意の値となります。S2の8番はOFFにしてください。

#### 16ビットアドレスデコード時

##### SW2

1	2	3	4	5	6	7	8
OFF	OFF	OFF	OFF	OFF	ON	ON	ON

##### SW1

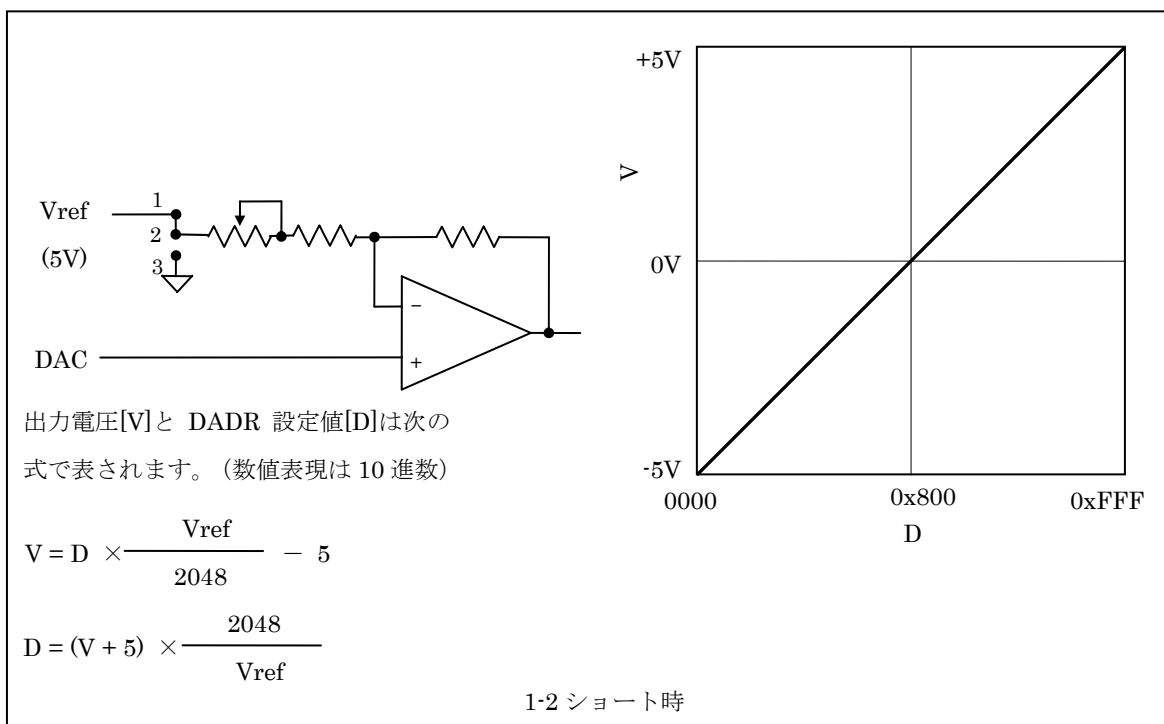
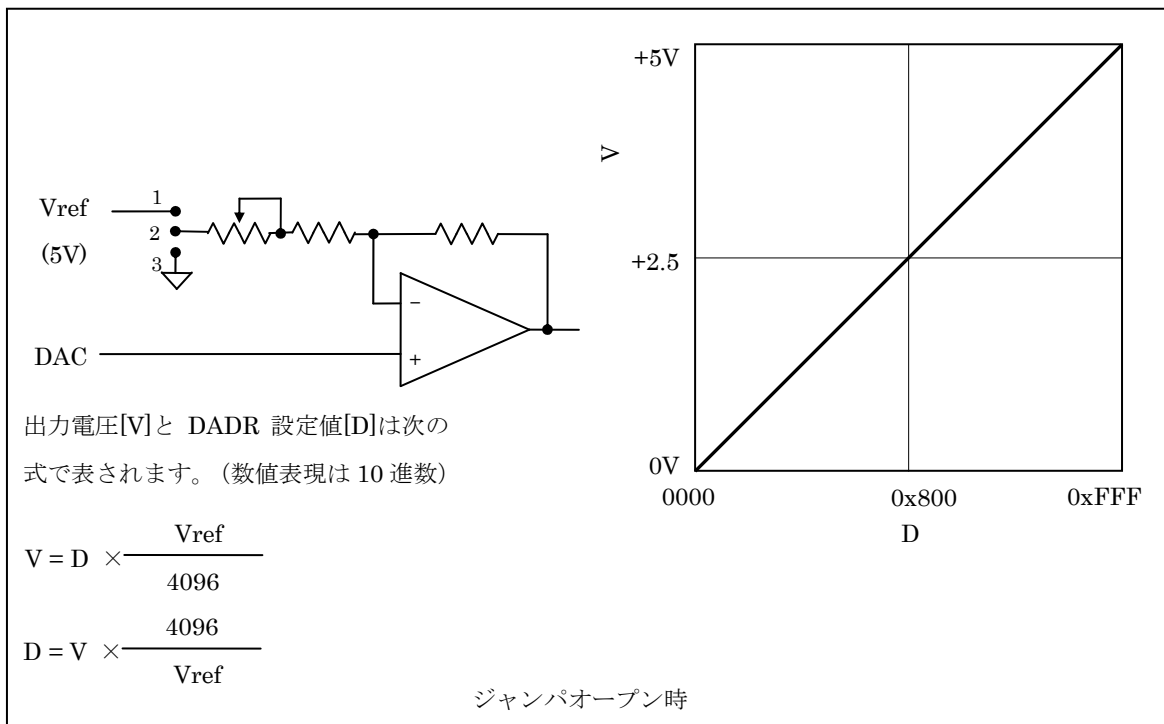
1	2	3	4	5	6	7	8
OFF	ON	OFF	OFF	ON	ON	OFF	ON

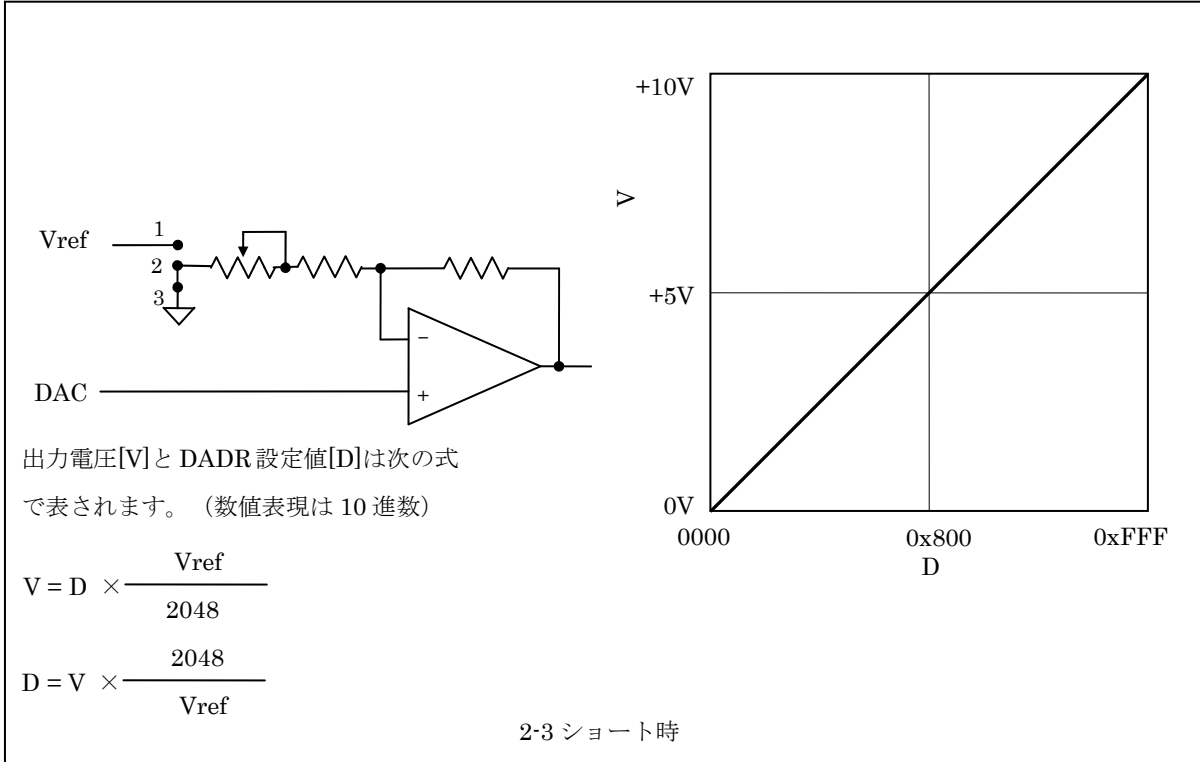
この場合は2進表記で1111 1000 1011 00XXとなり、デコードされるアドレスは0xF8B0から0xF8B3になります。SW1の8番はONにしてください。

## 9-2. ジャンパ設定

### JP1~16 :

出力電圧のレンジを設定します.





電圧は概算値で、正確な値ではありません。実際にはリニアリティー特性、オフセットエラーやドリフト発生により誤差を生じます。



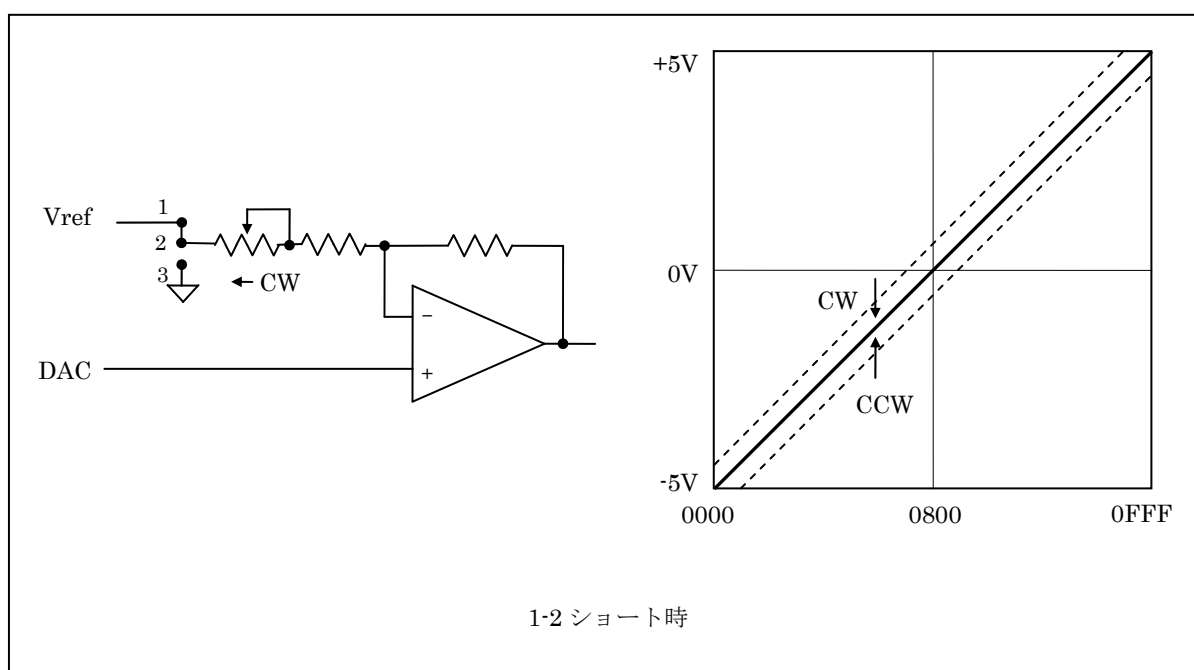
### 9-3. ポテンショ調整

#### RV1~16 :

DA 変換後の OP アンプのゲインを微調整します。0~+5V レンジでは作用しません。  
出荷時に校正していますので、特に調整の必要はありません。

#### 参考

調整時は該当チャンネルのジャンパを-5V~+5V レンジ (1-2 ショート) に設定し、DAC のデータに 0x800 を書き込んだときに出力が 0V となるよう、ポテンショを回転させてください。



出荷時のポテンショメータ値は±5V で調整されております。

0~5V で使用される場合はポテンショメータは意味を持ちません。

0~10V で使用される場合はポテンショメータを調整願います。

#### RV17 :

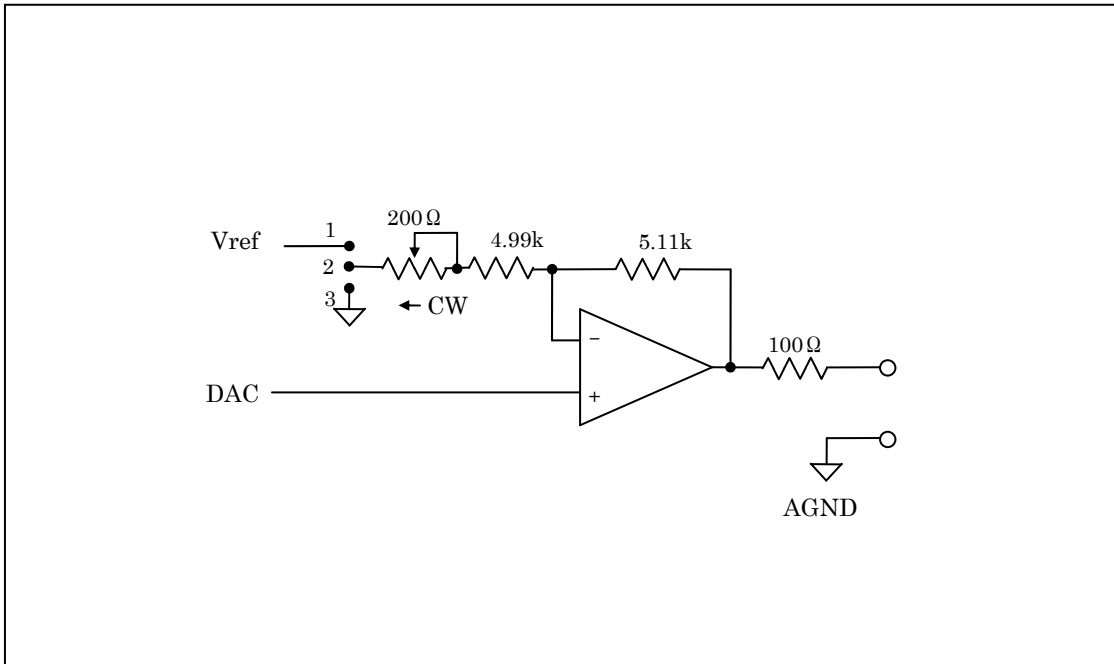
実装されません。

## 1 0 . 入出力回路説明

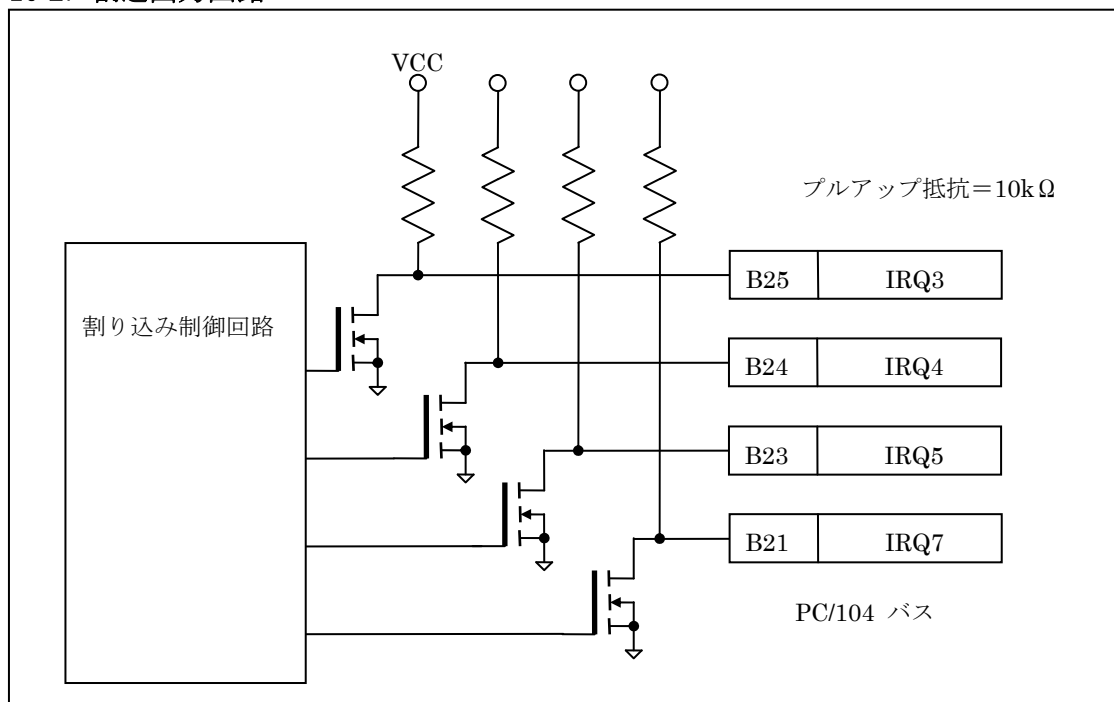
### 10-1. アナログ出力回路

DAC の出力は低オフセット、低バイアス電流 OP アンプを介して出力されます。

ジャンパコネクタで OP アンプの反転入力側をアナロググラウンド (AGND) または基準電圧 ( $V_{ref}$ ) に接続することにより、出力電圧レンジを切り替えています (1 1 - 2 . ジャンパ設定参照) .



## 10-2. 割込出力回路



プルアップ抵抗は通常 CPU 側で実装されますので当ボードでは実装されておりません。ただし、抵抗回路を取り付けるパターンは準備されていますので必要があればご相談下さい。

## 1 1. 変換手順フローチャート

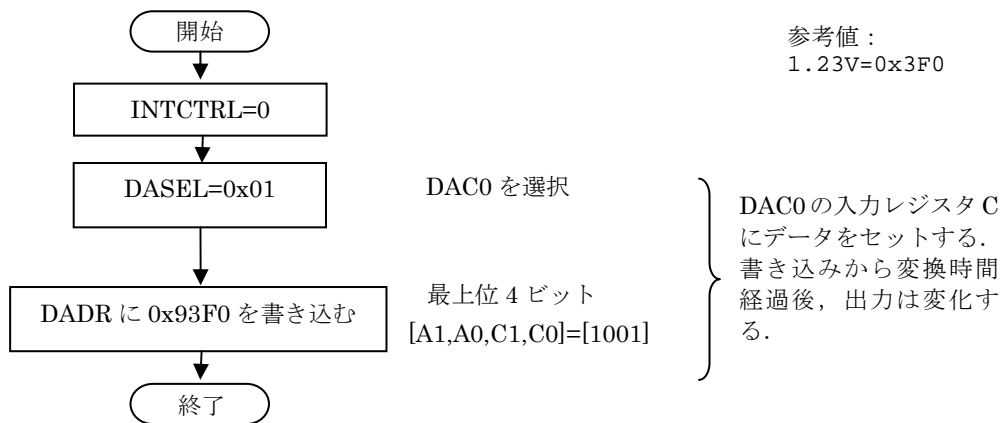
本製品の応用例をフローチャートで説明します。

なお、16進数はC言語の表記方法とします。コマンド送信待ち処理はBUSYフラグチェックの代わりに2.9 $\mu$ 秒以上の待ちに置き換えても構いません。

### 11-1. 単純出力

例：チャンネル2に1.23Vを即座に出力。

条件：出力レンジは0-5V,  
割り込みは不使用,  
LDAC0~3は0を設定。

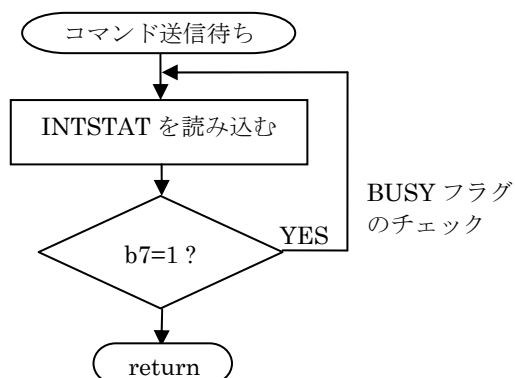
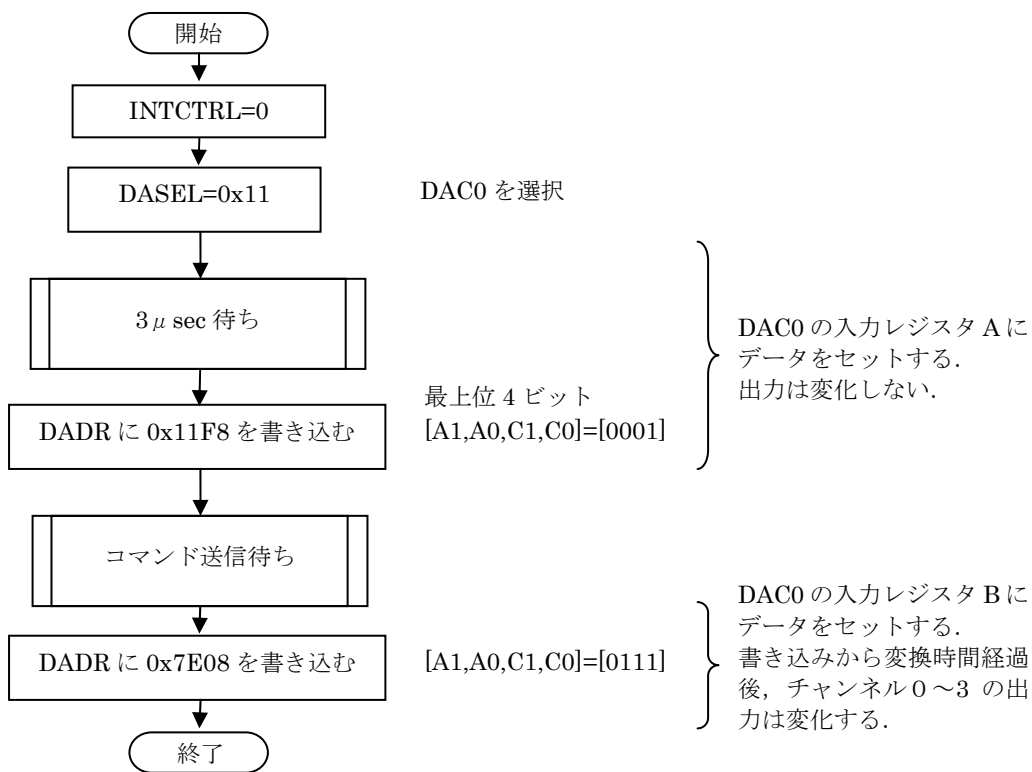


## 11-2. 2チャンネル同時出力

例：チャンネル0に1.23V，チャンネル1に-1.23Vを出力。

条件：出力レンジは±5V，  
割り込みは不使用，  
LDAC0は1を設定。

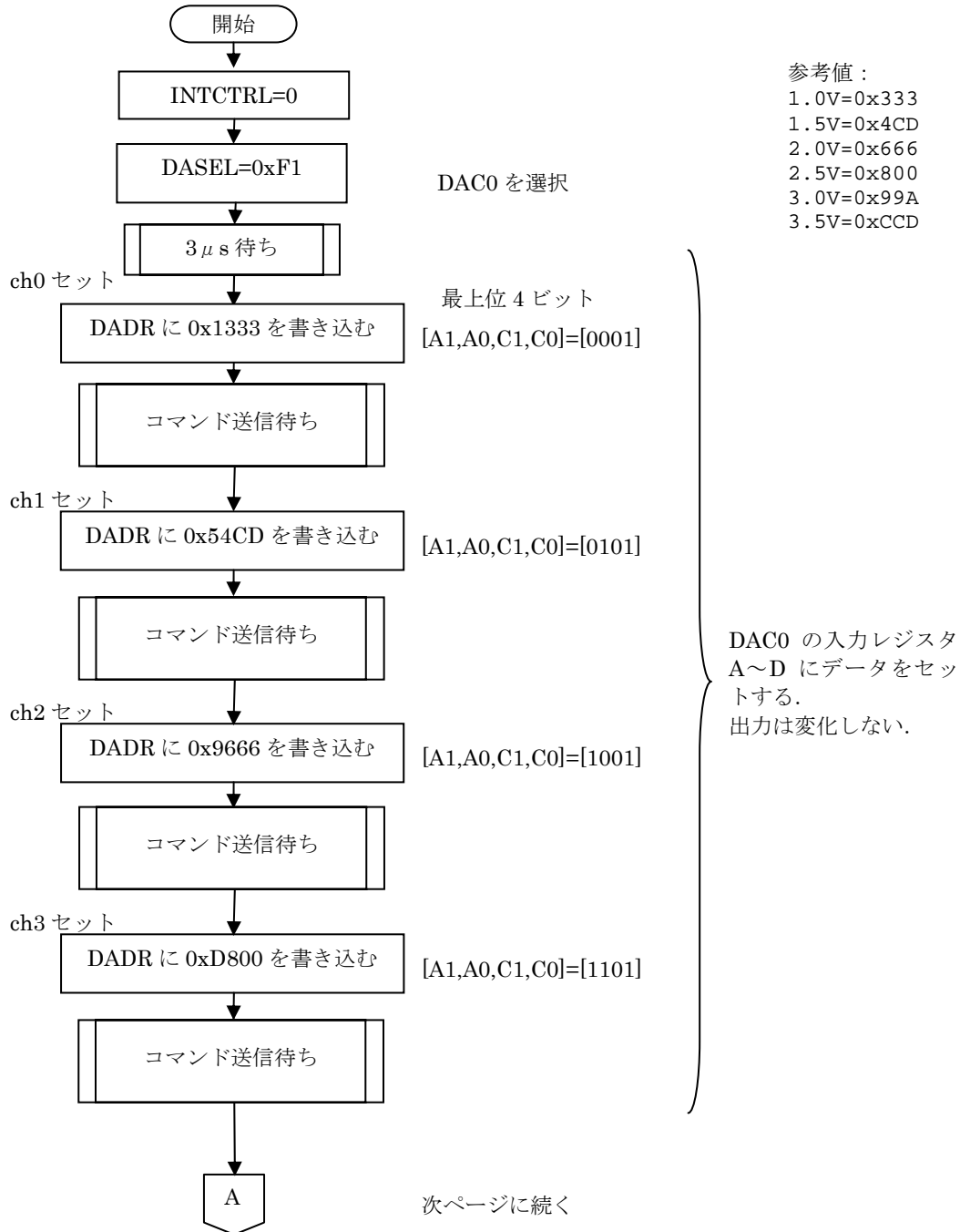
参考値：  
+1.23V=0x9F7  
-1.23V=0x608

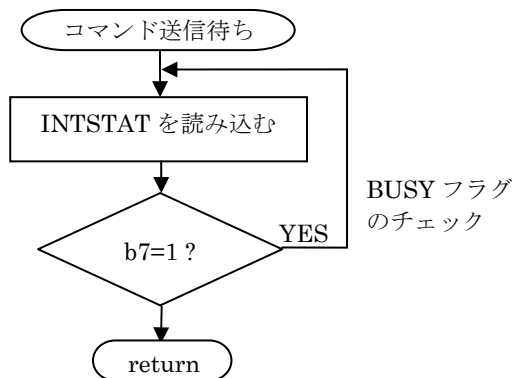
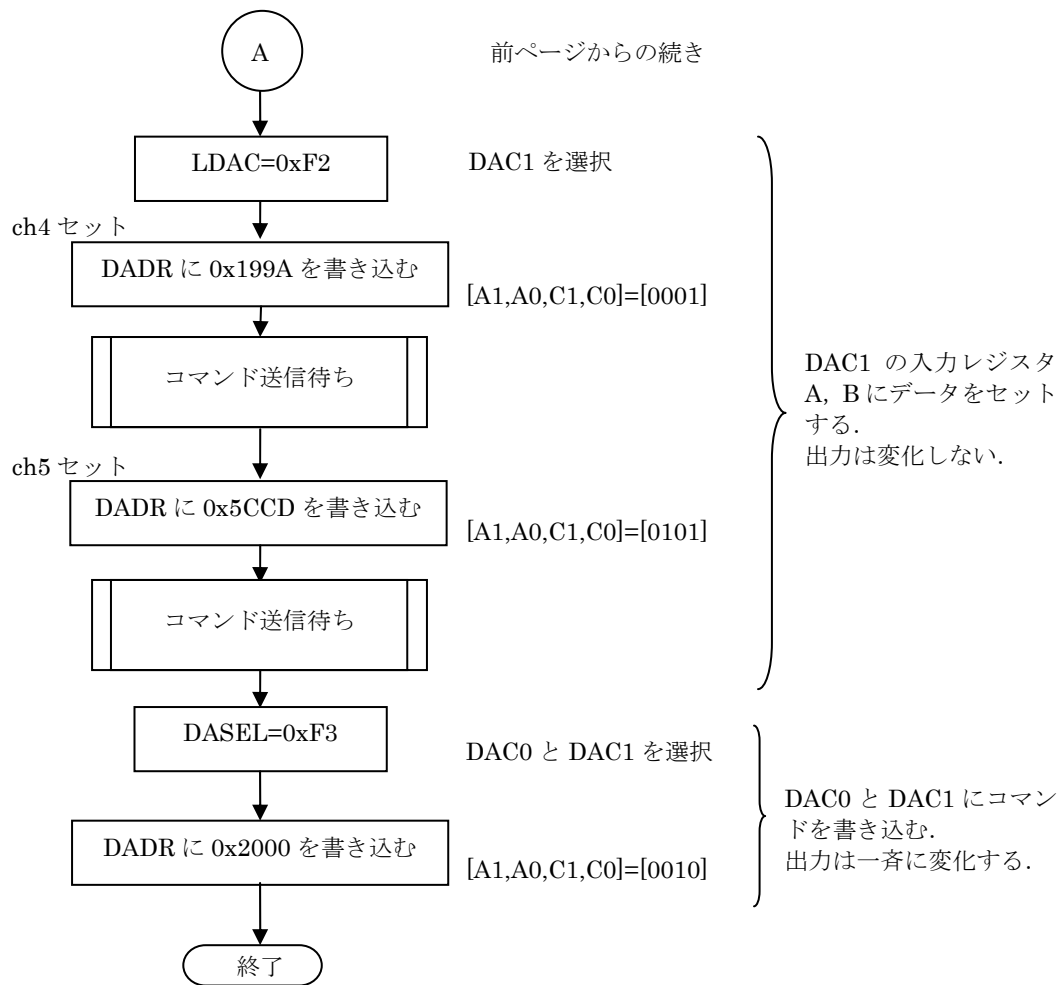


### 11-3. 複数チャンネル同時更新 (LDAC 固定)

例：チャンネル0に1.0V，チャンネル1に1.5V，  
チャンネル2に2.0V，チャンネル3に2.5V，  
チャンネル4に3.0V，チャンネル5に3.5Vを  
同時に出力。

条件：出力レンジは0-5V，  
割り込みは不使用，  
LDAC0~3は1を設定。

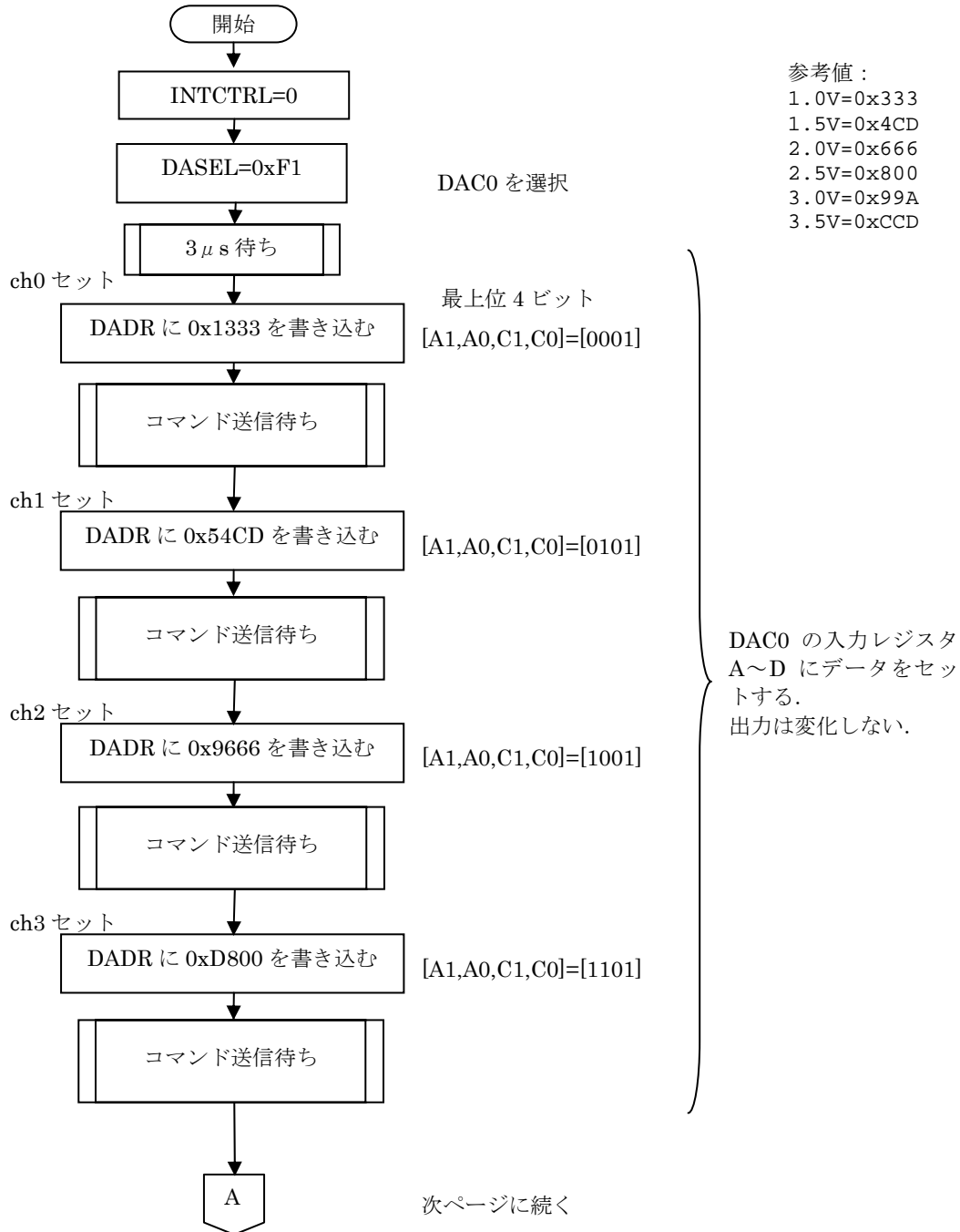




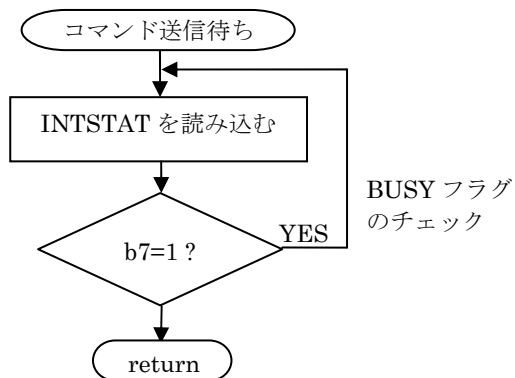
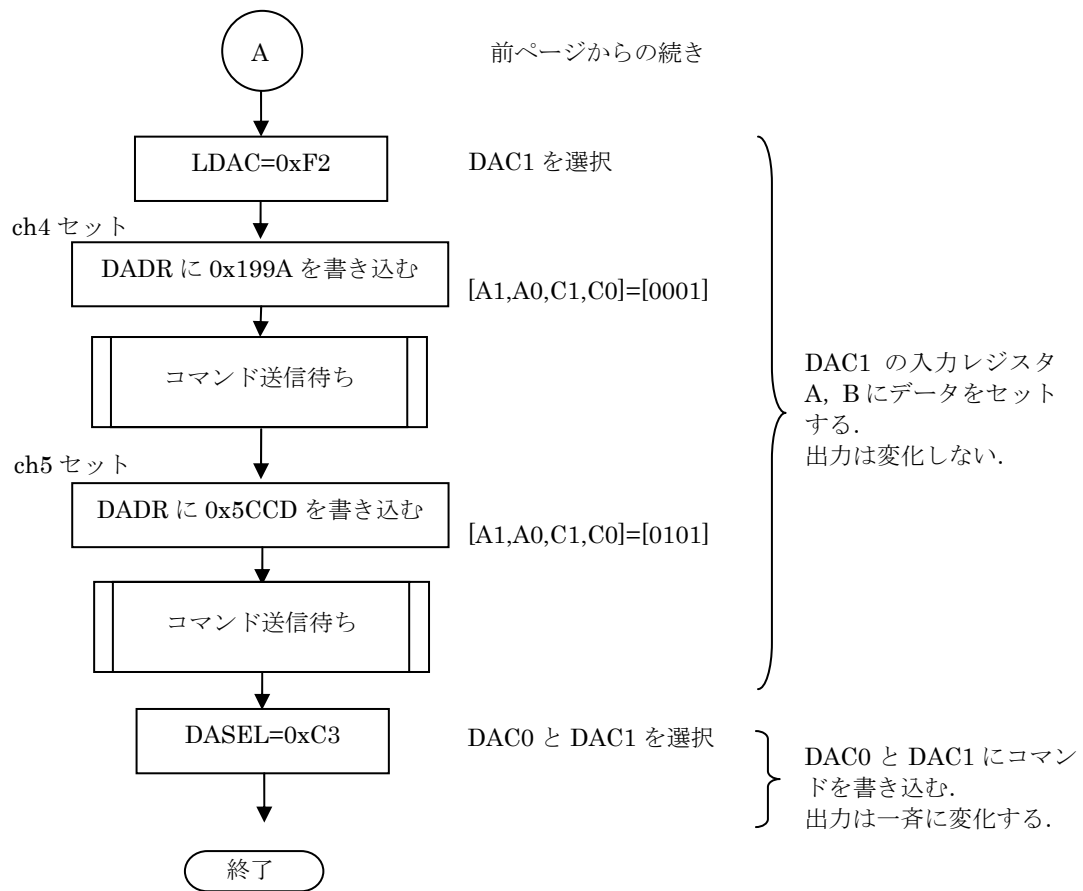
#### 11-4. 複数チャンネル同時更新 (LDAC 制御)

例：チャンネル0に1.0V，チャンネル1に1.5V，  
チャンネル2に2.0V，チャンネル3に2.5V，  
チャンネル4に3.0V，チャンネル5に3.5Vを  
同時に出力。

条件：出力レンジは0-5V，  
割り込みは不使用，  
LDAC0~3は1を設定。







12. 付記

A. アドレス一覧

オフセット	R/W	レジスタ名	ビット名							
			7	6	5	4	3	2	1	0
0	W	DADR(L)	A1	A0	C1	C0	DA11	DA10	DA9	DA8
1	W	DADR(H)	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
2	W	DASEL	LDAC3	LDAC2	LDAC1	LDAC0	DAC3	DAC2	DAC1	DAC0
3	W	INTCTRL	—	—	LED2	LED1	INTE	EDGE	INT1	INT0
0	R	INTRST	—	—	—	—	—	—	—	—
1	R	BID	BID7	BID6	BID5	BID4	BID3	BID2	BID1	BID0
2	R	STAT	LDAS3	LDAS2	LDAS1	LDAS0	DAC2	DAC2	DAC1	DAC0
3	R	INTSTAT	BUSY	—	LEDS2	LEDS1	INTES	EDGES	INTS1	INTS0

## B. シリアルインターフェースプログラミングコマンド

レジスタ名は5章. 信号系統図を参考にしてください.

LDACn	16ビットシリアルワード					機能
	A1	A0	C1	C0	D11..D0	
1	0	0	0	1	12ビット DA データ	入力レジスタ A ロード ; OUTA は変化しません
		1				入力レジスタ B ロード ; OUTB は変化しません
	1	0				入力レジスタ C ロード ; OUTC は変化しません
		1				入力レジスタ D ロード ; OUTD は変化しません
1	0	0	1	1	12ビット DA データ	入力レジスタ A ロード ; DACA~DACD レジスタ更新
		1				入力レジスタ B ロード ; DACA~DACD レジスタ更新
	1	0				入力レジスタ C ロード ; DACA~DACD レジスタ更新
		1				入力レジスタ D ロード ; DACA~DACD レジスタ更新
X	X	0	0	0	12ビット DA データ	DACA~DACD データをシフトレジスタからロード
X	0	1	0	0	XX..XX	動作なし (NOP)
X	1	1	0	0	XX..XX	動作なし (NOP) * 1
1	0	X	1	0	XX..XX	DACA~DACD をそれぞれの入力レジスタの内容で更新
X	1	1	1	0	XX..XX	モード1 ; DOUT は SCK の立ち上がりエッジに同期して出力. DACA~DACD を, それぞれの入力レジスタ内容で更新. (初期状態)
X	1	0	1	0	XX..XX	モード0 ; DOUT は SCK の立ち下がりエッジに同期して出力. DACA~DACD を, それぞれの入力レジスタ内容で更新.
0	0	0	X	1	12ビット DAC データ	入力レジスタ A ロード ; OUTA は直ちに变化
		1				入力レジスタ B ロード ; OUTB は直ちに变化
	1	0				入力レジスタ C ロード ; OUTC は直ちに变化
		1				入力レジスタ D ロード ; OUTD は直ちに变化

本製品は DOUT 信号を使用していません. したがって, モード0とモード1の動作の違いはありません.

LDACn は LDAC0 から LDAC3 で, それぞれ DAC0 から DAC3 の LDAC 端子に相当します.

X は任意の値です.

\* 1 : 本製品の拡張機能です. CPLD 内部での変換のみで DAC へのデータ送信は行いません. BUSY フラグを読み, 2.9μ秒のディレイ処理に利用します.

### C. ピンアサイン

J1/P1 (PC104 バス信号)

ピン	信号	ピン	信号
A1		B1	<b>GND</b>
A2	<b>SD7</b>	B2	<b>RESET</b>
A3	<b>SD6</b>	B3	<b>+5V</b>
A4	<b>SD5</b>	B4	
A5	<b>SD4</b>	B5	
A6	<b>SD3</b>	B6	
A7	<b>SD2</b>	B7	
A8	<b>SD1</b>	B8	
A9	<b>SD0</b>	B9	
A10		B10	<b>GND</b>
A11	<b>AEN</b>	B11	
A12		B12	
A13		B13	<b>-IOW</b>
A14		B14	<b>-IOR</b>
A15		B15	
A16	<b>SA15</b>	B16	
A17	<b>SA14</b>	B17	
A18	<b>SA13</b>	B18	
A19	<b>SA12</b>	B19	
A20	<b>SA11</b>	B20	
A21	<b>SA10</b>	B21	<b>IRQ7</b>
A22	<b>SA09</b>	B22	
A23	<b>SA08</b>	B23	<b>IRQ5</b>
A24	<b>SA07</b>	B24	<b>IRQ4</b>
A25	<b>SA06</b>	B25	<b>IRQ3</b>
A26	<b>SA05</b>	B26	
A27	<b>SA04</b>	B27	
A28	<b>SA03</b>	B28	
A29	<b>SA02</b>	B29	<b>+5V</b>
A30	<b>SA01</b>	B30	
A31	<b>SA00</b>	B31	<b>GND</b>
A32	<b>GND</b>	B32	<b>GND</b>

**J2 : アナログ 1 出力コネクタ (基本側)**

ピン	信号	ピン	信号
1	DAO00	2	GND
3	DAO01	4	GND
5	DAO02	6	GND
7	DAO03	8	GND
9	DAO04	10	GND
11	DAO05	12	GND
13	DAO06	14	GND
15	DAO07	16	GND
17	REF0	18	+15V
19	REF1	20	-15V

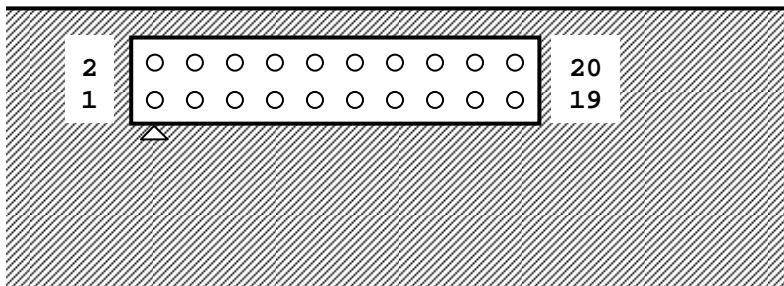
REF0,REF1、+15V、-15V は当ボードからの出力信号です。負荷は接続しないでください

**J3 : アナログ 2 出力コネクタ (増設側)**

ピン	信号	ピン	信号
1	DAO08	2	GND
3	DAO09	4	GND
5	DAO10	6	GND
7	DAO11	8	GND
9	DAO12	10	GND
11	DAO13	12	GND
13	DAO14	14	GND
15	DAO15	16	GND
17	REF2	18	+15V
19	REF3	20	-15V

REF2,REF3、+15V、-15V は当ボードからの出力信号です。負荷は接続しないで下さい

**J2, J3 コネクタピン配置**



#### D. 変換式

ジャンパ	電圧[V]から設定値	設定値から電圧[V]
OPEN	$D = V \times \frac{4096}{V_{\text{ref}}}$	$V = D \times \frac{V_{\text{ref}}}{4096}$
1-2	$D = (V + 5) \times \frac{2048}{V_{\text{ref}}}$	$V = D \times \frac{V_{\text{ref}}}{2048} - 5$
2-3	$D = V \times \frac{2048}{V_{\text{ref}}}$	$V = D \times \frac{V_{\text{ref}}}{2048}$

## E. プログラム作成における注意

### E-1. シリアルインターフェースコマンドの DADR への書き込み順序

DADR レジスタをバイト単位でアクセスする時は上位 DADR(H)と下位 DADR(L)の順序にご注意ください。シリアルインターフェースコマンドは上位レジスタに書き込まれたときに DAC へ送信されます。x86 系 CPU で `outb()` 命令や `outportb()` 命令、Z80 系 CPU で `out` 命令を使う場合は下位、上位の順に書き込んでください。

x86 系 CPU でワードアクセスする場合は問題ありません。

### E-2. LDAC 設定

LDAC を設定した場合、シリアルインターフェースコマンドを書き込むまでに十分な待ち時間をとってください。LDAC のビットを 1 から 0 に設定するときは  $3\mu$  秒以上、0 から 1 に設定するときは  $50\mu$  秒以上待つ必要があります。4 ビットの LDAC の中で 1 ビットでも 0 から 1 に変わるビットがあれば  $50\mu$  秒以上待ちます。

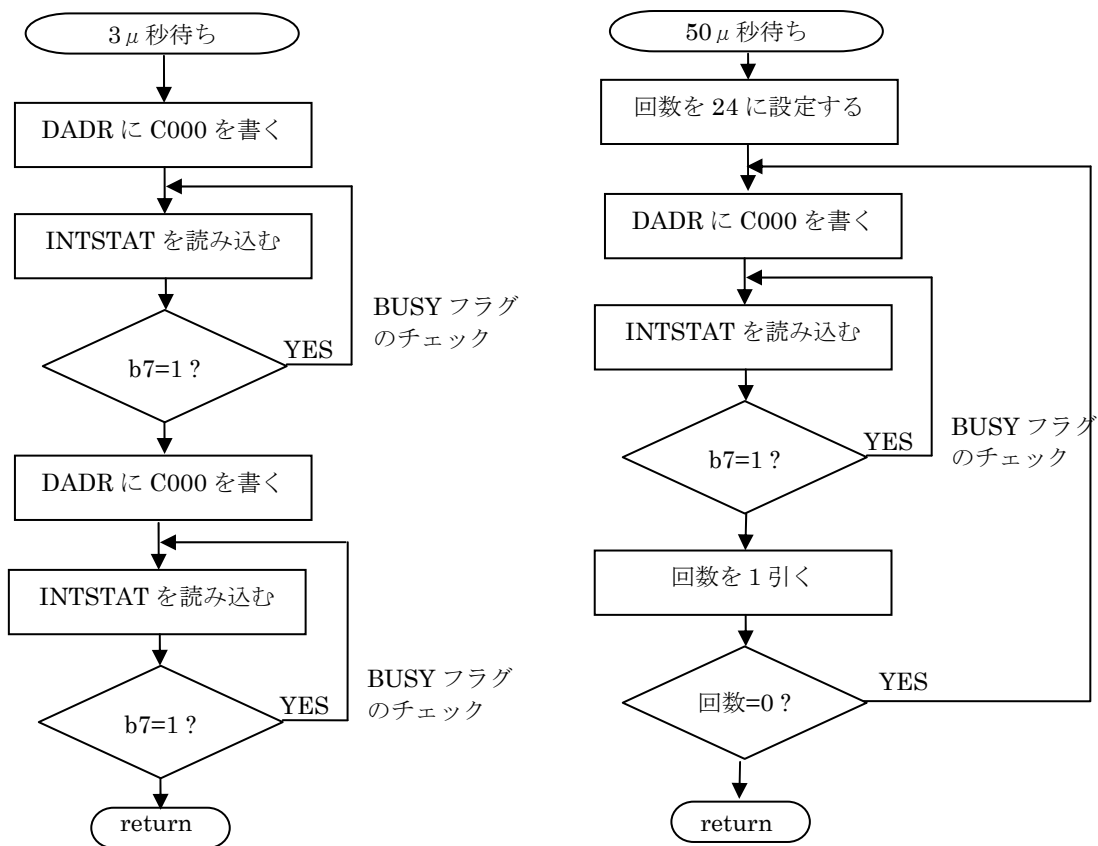
		LDAC3~LDAC0				待ち時間
例 1	設定前	1	1	1	1	$3\mu$ 秒以上
	設定後	1	1	1	0	
例 2	設定前	1	1	1	0	$50\mu$ 秒以上
	設定後	1	1	1	1	
例 3	設定前	1	0	1	1	$50\mu$ 秒以上
	設定後	1	1	1	0	

### E-3. 待ち時間の作成

シリアルインターフェースコマンドが DADR レジスタへ書き込まれると、CPLD が DAC へ送信完了するまでに  $2.9\mu$  秒かかります。この時間を利用して待ち時間を作成することができます。

シリアルインターフェースコマンドの最上位 4 ビットが “C” のときは DAC への送信は実際には行われず、CPLD 内部での処理のみになり、BUSY フラグのみ有効となります。

フローチャートを次に示します。



#### E-4. ビジーチェックの必要性

DADR レジスタにシリアルインターフェースコマンドが書かれると、CPLD 内部で DAC との通信処理が実行されます。この処理には  $2.9\mu\text{s}$  の時間が必要で、実行中につきのコマンドを書き込むと誤動作を生じます。

そのため、連続してコマンドを書き込むときは INTSTAT レジスタの BUSY ビットが 0 であることを確認し（ビジーチェック）、つぎのコマンドを書き込む必要があります。

しかし、使用する CPU ボードの PC/104 バスアクセスタイムによっては、ビジーチェックが不要な場合があります。たとえば Pentium III クラスのボードでも PC/104 バスアクセスタイムが  $16\mu\text{s}$  程度と余裕を持った製品があり、この場合はビジーチェックなしに連続してコマンドを書き込むことが可能です。

ただし、弊社の高速 Z80 CPU カード MPCZ-16EX を使用する場合は 2 バイト（上位→下位）の I/O アクセスのサイクルタイムが最速で  $800\text{ns}$ （外部 I/O・ウェイト・コントロールとメモリ・ウェイト・コントロールを 1 ウェイトに設定したとき）となるおそれがあるため、ビジーチェックを入れてください。ビジーチェックをしない場合は処理時間を考慮してプログラムを作成してください。



;MPCZ-16EX で I/O サイクルタイムが最小となる例

; (メモリ = 1 ウェイト, I/O = 1 ウェイト設定時)

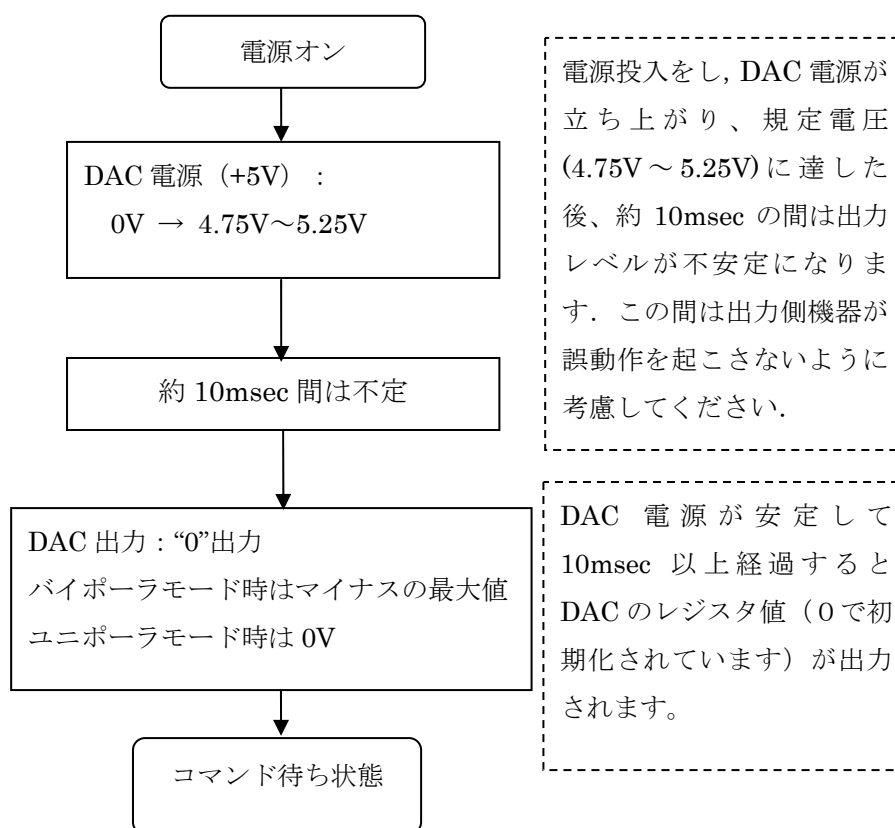
```
                                ;バスサイクル (+n はメモリ・ウェイト・コントロ  
                                ;                               ールで付加されたサイクル)  
mov    bc,07a0h    ;5+3 クロック  I/O アドレスセット  
mov    de,0c000h  ;5+3 クロック  コマンド1 セット  
mov    hl,0c001h  ;5+3 クロック  コマンド2 セット  
  
;  
out    (c),e      ;4+2 クロック  コマンド1 下位を出力  
inc    c          ;1+1 クロック  つぎの I/O アドレス  
out    (c),d      ;4+2 クロック  コマンド1 上位を出力 ※1  
dec    c          ;1+1 クロック  I/O アドレスを戻す  
out    (c),l      ;4+2 クロック  コマンド2 下位を出力 ※2  
inc    c          ;1+1 クロック  つぎの I/O アドレス  
out    (c),h      ;4+2 クロック  コマンド2 上位を出力
```

; ※1 実行後から※2 までの時間(1+1+4+2)が 8 クロックとなる。

なお、アクセスタイムを測定するにはボード上の IC, U1 (74HCT245) の 19 番ピンをオシロスコープで観測し、信号が Low レベルの時間を測定します。

## F. 電源投入時のDAC出力状態に関する注意

電源投入直後のDAC出力の状態にご注意ください。DAC出力は“電源立ち上がり時間+約10ms”は不安定になります。その後は0Vまたは、 $-V_{ref}$ （出力の極性設定により異なる）が出力されます。





MPC104-ISODAC12 取扱説明書

株式会社エンベデッドテクノロジー

〒578-0946

大阪府東大阪市瓜生堂3丁目8-13

奥田ビル2F

TEL : 06-6224-1137

FAX : 06-6224-1138